

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-057623

(43)Date of publication of application : 26.02.2003

(51)Int.Cl. G02F 1/133  
G09G 3/20  
G09G 3/36

(21)Application number : 2001-248338

(71)Applicant : OPTREX CORP  
ASAHI GLASS CO LTD

(22)Date of filing : 17.08.2001

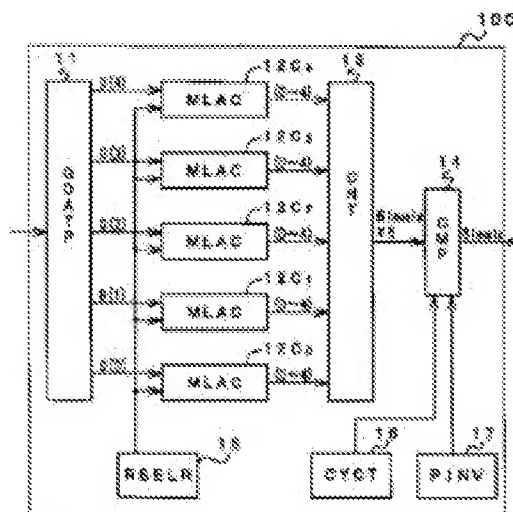
(72)Inventor : ISSHIKI SHINSEI  
NAGAI MAKOTO  
NAKAZAWA SATOSHI

## (54) DRIVING METHOD OF LIQUID CRYSTAL DISPLAY DEVICE AND DRIVING CIRCUIT

### (57)Abstract:

PROBLEM TO BE SOLVED: To suppress the increase in current consumption and cross talk when a PWM method is applied for an MLA method.

SOLUTION: MLACs 12C0 to 12C4 are provided corresponding to PWM intervals T0 to T4 and respectively conduct MLA computations for PWM components of the PWM intervals T0 to T4 outputted from a GDATP 11 and row selection patterns outputted from a RSELR 15. A CNT 13 counts the respective numbers of the values outputted from each MLAC and outputs the counted result to a CMP 14. The CMP 14 outputs the MLA computation results in accordance with the counted result and cycle signals in the order of increasing or in the order of decreasing in accordance with the instructions of a PINV 17.



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] While a line electrode of a liquid crystal display which has two or more line electrodes and two or more column electrodes is put in block two or more, choosing and impressing predetermined voltage based on an ingredient of an orthogonal matrix to each selected line electrode for every selection period, In a drive method of a liquid crystal display which impresses column voltage according to a value obtained from an indicative data and an ingredient of said orthogonal matrix to each column electrode, Provide each period which divided one selection period into plurality, and data according to gradation of an indicative data is generated corresponding to said each period, A drive method of a liquid crystal display outputting a value according to column voltage obtained from data in said each period, and an ingredient of an orthogonal matrix to an ascending order or a descending order.

[Claim 2] A drive method of the liquid crystal display according to claim 1 which makes reverse the state of outputting to the state of outputting to an ascending order, and a descending order, in an adjoining selection period.

[Claim 3] A drive method of the liquid crystal display according to claim 1 or 2 which makes reverse the state of outputting to the state of outputting to an ascending order with a predetermined spatial period, and a descending order, to all the column electrodes in which column voltage is impressed.

[Claim 4] A drive method of a liquid crystal display given in any 1 paragraph of Claim 1 which divides one selection period into division into equal parts, and is made into each period to Claim 3.

[Claim 5] While a line electrode of a liquid crystal display which has two or more line electrodes and two or more column electrodes is put in block two or more, choosing and impressing predetermined voltage based on an ingredient of an orthogonal matrix to each selected line electrode for every selection period, In a drive circuit of a liquid crystal display which impresses column voltage according to a value obtained from an indicative data and an ingredient of said orthogonal matrix to each column electrode, A calculating means which is established corresponding to each period which divided one selection period into plurality, and calculates a value according to column voltage from data according to gradation of an indicative data and an ingredient of an orthogonal matrix in a corresponding period, A drive circuit of a liquid crystal display provided with a counting means which calculates occurrences of an operation value of said calculating means, and a column voltage value output means which outputs a value according to column voltage to an ascending order or a descending order based on a counting result of said counting means.

[Claim 6]A drive circuit of the liquid crystal display [ provided with a time phase inversion means to make reverse the state of outputting to the state of outputting to an ascending order in a column voltage value output means, and a descending order, in an adjoining selection period ] according to claim 5.

[Claim 7]A drive circuit of the liquid crystal display [ provided with a spatial phase inversion means to make reverse the state of outputting to the state of outputting to an ascending order in a column voltage value output means with a predetermined spatial period, and a descending order ] according to claim 5 or 6.

[Claim 8]An orthogonal matrix including a line corresponding to a dummy line which is not actually displayed a calculating means, A drive circuit of a liquid crystal display given in any 1 paragraph of Claim 5 which calculates by including virtual data set up reduce the number of voltage levels impressed to a column electrode at one selection period in data according to gradation to Claim 7.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the drive method which drives a liquid crystal display with a plural lines simultaneous selection method, and the drive circuit using the drive method. It is related with the drive method and drive circuit of a liquid crystal display which can control increase of the consumed electric current, and increase of a cross talk especially.

[0002]

[Description of the Prior Art]

[0003]The liquid crystal display is widely applied to personal digital assistants, such as a portable telephone and a Personal Digital Assistant, taking advantage of a light weight and the characteristic of being small. Although what mainly uses the STN LCD element by which a passive drive is carried out, and the thing which uses the active-matrix liquid crystal element provided with TFT are shown in a liquid crystal display, Compared with an active-matrix liquid crystal element, a manufacturing process is short, and has easy element structure, and the STN LCD element has the advantage that it is producible by low cost.

[0004]Also in the personal digital assistant, to perform a colored presentation and easy animation display is desired. Therefore, the liquid crystal display to which carrying out a high speed response and a gradation display are made is required.

[0005]A comparatively high-speed response characteristic is acquired in an active-matrix liquid crystal element. On the other hand, it is common that the line sequential driving methods, such as APT (Alto Pleshko Technique) and IAPT (Improved APT), are used as a drive system in the STN LCD element. Since the line sequential driving method can generate an one level / off-level easily, it is effective as a multiplexer drive, but a limit is to carry out the high speed response of the STN LCD element.

[0006]Drive methods for driving the STN LCD element at a high speed more include a plural lines simultaneous selection method (the multiline addressing method: MLA method). MLA method is a method of choosing collectively and driving two or more scanning electrodes (line electrode). In order to control independently the sequence display pattern supplied to a data electrode (column electrode) by MLA method, a predetermined voltage pulse sequence is impressed to each line electrode driven simultaneously.

[0007]The voltage pulse voltage group (selection pulse group) impressed to each line electrode can be expressed with the procession of an L line K sequence. Hereafter, this procession is called selection row sequence. L is a simultaneous selection line number. A voltage pulse voltage group is expressed as a vector group which intersects perpendicularly mutually. Therefore, the procession which includes those vectors as an element turns into an orthogonal matrix. Each row vector within each procession lies at right angles mutually.

[0008]In an orthogonal matrix, each line corresponds to each line of a liquid crystal display. For example, the element of the 1st line of a selection row sequence is applied to the 1st line in the selection line of L book. That is, a selection pulse is impressed to the 1st line electrode in order of the element of the 1st row, and the element of the 2nd row.

[0009]Drawing 13 is an explanatory view showing how to decide the sequence of the voltage waveform impressed to a column electrode. In drawing 13, (a) shows a selection row sequence and the example of an indicative data, (b) shows the example of a sequence display pattern and a voltage pattern, and (c) shows the example of a voltage waveform of the column electrodes i and j. Here, as shown in drawing 13 (a), four-line the orthogonal matrix of four rows is taken for an example as four-line two rows and a selection row sequence as a pixel. "1" means a positive selection pulse and "0" as used in the selection row sequence shown in drawing 13 (a) means a negative selection pulse.

[0010]The indicative data which should be displayed in the column electrodes i and j presupposes that it is shown in the right-hand side of drawing 13 (a). In drawing 13 (a), it is shown that a white round head is lighting and that a black dot is putting out lights. Then, a sequence display pattern is expressed with a vector (d) as shown in drawing 13 (b). In the vector (d) shown in drawing 13 (b), "1" corresponds to an on display and "0" corresponds to an OFF display.

[0011]The voltage level which should be impressed to the column electrodes i and j one by one becomes like vector (v) shown in drawing 13 (b). This vector corresponds to what took exclusive OR for every bit about the sequence display pattern and the line selection pattern (sequence in a selection row sequence) corresponding to it, and took the sum of those results. Drawing 13 (c) is a timing diagram showing the voltage waveform of the column electrodes i and j corresponding to vector (v) shown in drawing 13 (b). In drawing 13 (c), a vertical axis shows the voltage (column voltage) impressed to a column electrode, and the horizontal axis shows time. It is here, and "0",  $-V_c$  and "2" correspond to 0, "3" corresponds to  $+V_c$ , and "4" supports [  $-2V_c$  and "1" ]  $+2V_c$ .

[0012]According to such a drive method, the frame response of a liquid crystal is controlled and, as a result, a high speed response and high contrast can be attained simultaneously. That is, in a simple matrix display device, high-definition picture offer made difficult is conventionally attained by drive display.

[0013]If the on-off display and selection pattern in a sequence display pattern and a line selection pattern are expressed in "0" as "1" when driving a liquid crystal display with MLA method, The voltage pattern impressed to a column electrode corresponds to what took exclusive OR for every bit about the sequence display pattern and the line selection pattern corresponding to it, and took the sum of those results. The operation which takes exclusive OR for every bit about a sequence display pattern and the line selection pattern corresponding to it, and takes the sum of those results hereafter is called an MLA operation.

[0014]Therefore, the level number of column voltage is set to  $L+1$  when the line number by which simultaneous selection is made is L. For example, when four-line the orthogonal matrix of

four rows shown in drawing 13 (a) is used as a selection row sequence, since a simultaneous selection line number is 4, the number of applied voltage levels is 5. As shown in drawing 13 (c), specifically, five kinds of levels ( $-2V_c$ ,  $-V_c$ , 0,  $+V_c$ ,  $+2V_c$ ) will be impressed to the column electrodes i and j.

[0015] In an active-matrix-driven method, in order to perform a halftone display, amplitude modulation can be used and intermediate voltage can be generated comparatively easily. However, in the passive driving method, if amplitude modulation is performed simply, the voltage variation at the time of the non selection in a line sequential drive will arise, and different inaccurate voltage from the voltage according to an one display or an OFF display will be impressed to a non-display portion. Then, the technique for generating various intermediate voltage is used.

[0016] Hereafter, the drive method at the time of applying the gradation method (henceforth the PWM method) by pulse width modulation to MLA method is explained. First, the example of the general PWM method is shown in drawing 14. In drawing 14, "1" corresponds to an one display and "0" corresponds to an OFF display.

[0017] As shown in drawing 14, a selection period (T) is divided into division into equal parts during the 5 division ( $T_0 - T_4$ ). The gradation levels 5/5 perform the period one display of  $T_0 - T_4$ , and the period OFF display of  $T_0 - T_4$  is performed in the gradation levels 0/5. And in the gradation levels 1/5, 2/5, 3/5, and 4/5, the gradation of an intermediate level is displayed by making the period of an one display and an OFF display intermingled. Thus, when a selection period is divided into five, the gradation of six levels can be displayed.

[0018] Next, how to perform a gradation display by the PWM method in MLA method is explained. In drawing 15, the example of the sequence display pattern (gradation data) in each period  $T_0$  corresponding to the indicative data which shows (a) to the example of the indicative data for one row, and shows (b) to (a) -  $T_4$ , and the MLA result of an operation, and (c) are the examples of a selection row sequence. In performing a gradation display by the PWM method in MLA method, it performs an MLA operation about a line selection pattern and each gradation data.

[0019] The period which is using the 2nd ( $R_2$ ) row of the selection row sequences shown in drawing 15 (c) as a line selection pattern is considered. In period  $T_0$ , the sum of the exclusive OR of each bit of gradation data (1, 1, 1, 1) and a line selection pattern is "1." In period  $T_1$ , the sum of the exclusive OR of each bit of a sequence display pattern (1, 1, 0, 1) and a line selection pattern is "2." In period  $T_2$ , the sum of the exclusive OR of each bit of a sequence display pattern (1, 0, 0, 1) and a line selection pattern is "1." In period  $T_3$ , the sum of the exclusive OR of each bit of a sequence display pattern (1, 0, 0, 0) and a line selection pattern is "2." In period  $T_4$ , the sum of the exclusive OR of each bit of a sequence display pattern (0, 0, 0, 0) and a line selection pattern is "3." Therefore, the value which shows the voltage level which should be impressed to a column electrode one by one is set to (1, 2, 1, 2, 3). Drawing 15 (d) is a timing diagram showing the voltage waveform of a column electrode. In (d), a vertical axis shows column voltage and the horizontal axis shows time.

[0020]

[Problem(s) to be Solved by the Invention] As shown in drawing 15 (d), when the PWM method is applied to MLA method, the change point of column voltage will increase in the voltage waveform of the column electrode in one selection period. For this reason, SUBJECT that a cross talk becomes large occurs. Since the change point of column voltage increases, SUBJECT that the consumed electric current will increase also occurs.

[0021]Then, an object of this invention is to provide the drive method and drive circuit of a liquid crystal display which can control increase of the consumed electric current, and increase of a cross talk, when the PWM method is applied to MLA method.

[0022]

[Means for Solving the Problem]A drive method of a liquid crystal display of the mode 1 of this invention, Each period which divided one selection period into plurality is provided, data according to gradation of an indicative data is generated corresponding to each period, and a value according to column voltage obtained from data in each period and an ingredient of an orthogonal matrix is outputted to an ascending order or a descending order.

[0023]A drive method of a liquid crystal display of the mode 2 makes reverse the state of outputting to the state of outputting to an ascending order, and a descending order, in a drive method of the mode 1 in an adjoining selection period. That is, after rearranging a value according to column voltage, an PWM phase is reversed further in time.

[0024]A drive method of a liquid crystal display of the mode 3 makes reverse the state of outputting to the state of being a predetermined spatial period and outputting to an ascending order, and a descending order, to all the column electrodes in which column voltage is impressed, in a drive method of the mode 1 or the mode 2. That is, after rearranging a value according to column voltage, also spatially, an PWM phase is reversed further.

[0025]In a drive method of the mode 1 thru/or the mode 3, a drive method of a liquid crystal display of the mode 4 divides one selection period into division into equal parts, and makes it each division period.

[0026]This invention is characterized by a drive circuit of a liquid crystal display of the mode 5 comprising the following.

A calculating means which is established corresponding to each period which divided one selection period into plurality, and calculates a value according to column voltage from data according to gradation of an indicative data and an ingredient of an orthogonal matrix in a corresponding period.

A counting means which calculates occurrences of an operation value of a calculating means.

A column voltage value output means which outputs a value according to column voltage to an ascending order or a descending order based on a counting result of a counting means.

[0027]A drive circuit of a liquid crystal display of the mode 6 was provided with a time phase inversion means to make reverse the state of outputting to the state of outputting to an ascending order in a column voltage value output means, and a descending order, in a drive circuit of the mode 5 in an adjoining selection period. That is, after a column voltage value output means rearranges a value according to column voltage, an PWM phase is reversed further in time.

[0028]A drive circuit of a liquid crystal display of the mode 7 was provided with a spatial phase inversion means to be a predetermined spatial period and to make reverse the state of outputting to the state of outputting to an ascending order in a column voltage value output means, and a descending order, in a drive circuit of the mode 5 or the mode 6. That is, after a column voltage value output means rearranges a value according to column voltage, also spatially, an PWM phase is reversed further.

[0029]In a drive circuit of the mode 5 thru/or the mode 7 a drive circuit of a liquid crystal display of the mode 8, It calculates by a calculating means including virtual data set up reduce the number of voltage levels impressed to a column electrode at one selection period (kind) in data according to gradation including a line corresponding to a dummy line which an orthogonal

matrix does not actually display. In this case, since the number of voltage levels impressed to a column electrode becomes fewer, a change point of column voltage in one selection period will decrease further.

[0030]

[Embodiment of the Invention](Embodiment 1) An embodiment of the invention is described hereafter. Drawing 1 is a block diagram showing the example of composition of Embodiment 1 of the drive circuit of the liquid crystal display by this invention. Here, a simultaneous selection line number is set to 4, and the case where divide one selection period of MLA into division into equal parts during [ five ]  $T_0$  - the  $T_4$ , and the PWM method is realized is made into an example. Hereafter, each period  $T_0$  -  $T_4$  are called a PWM period. In the composition shown in drawing 1, GDATP11 which is a gradation processing circuit generates the gradation data (PWM ingredient) of each PWM period  $T_0$  -  $T_4$  from an indicative data in MLAD10C which is a drive circuit. In drawing 1, the gradation data of each PWM period  $T_0$  -  $T_4$  is shown by D (0), D (1), D (2), D (3), and D (4).

[0031]As for each divided period, when dividing one selection period, it is preferred division into equal parts, the equivalent period mostly divided into division into equal parts, or that it is an equivalent period mostly, but depending on the case, it may not divide equally.

[0032]MLAC12C<sub>0</sub> which performs an MLA operation and which is hardware circuitry, 12C<sub>1</sub>, 12C<sub>2</sub>, 12C<sub>3</sub>, and 12C<sub>4</sub>. It is provided corresponding to each PWM period  $T_0$  -  $T_4$ , and an MLA operation is performed about the PWM ingredient of each PWM period  $T_0$  outputted from GDATP11 -  $T_4$ , and the line selection pattern outputted from RSELR15 which performs selection row sequence maintenance, respectively. That is, respectively MLAC12C<sub>0</sub> - 12C<sub>4</sub> compute the exclusive OR of each bit of an PWM ingredient, and the ingredient of a line selection pattern, perform the MLA operation of adding a computed result, and output an added result. Therefore, either of MLAC12C<sub>0</sub> - 12C<sub>4</sub> to "0" - "4" is outputted. The added result outputted from MLAC12C<sub>0</sub> - 12C<sub>4</sub> is a value which shows the level of column voltage.

[0033]CNT13 which is a circuit which calculates, "0" outputted from each MLAC12C<sub>0</sub> - 12C<sub>4</sub>. Each number of - "4" is calculated and a counting result ("0" each number of - "4" (either of the six values of 0-5)) is outputted to CMP14 which is a circuit which compares. CMP14 is outputted to the column voltage generation circuit (not shown) which generates column voltage ( $-2V_c$ ,  $-V_c$ , 0,  $+V_c$ ,  $+2V_c$ ) according to the cycle signal outputted from CYCT16 in the counting result outputted from CNT13. It is a signal which shows in which period a cycle signal is among each PWM period  $T_0$  in one selection period -  $T_4$ , for example, the signal which shows 0-4 as a cycle signal is outputted repeatedly in order. In this example, GDATP11, MLAC12C<sub>0</sub> - 12C<sub>4</sub>, CNT13, CMP14, RSELR15, and CYCT16 operate according to a clock signal. The value which a cycle signal shows is called a cycle value.

[0034]Although the value of either of the six values of 0-5 is outputted to CMP14 as the number from CNT13 in this embodiment about each of "0" - "4" corresponding to the column voltage ( $-2V_c$ ,  $-V_c$ , 0,  $+V_c$ ,  $+2V_c$ ) of five levels, It may be made to output the number about the column voltage of four arbitrary levels. Since the sum total of the number is five according to PWM period  $T_0$  -  $T_4$ , even if it makes it CNT13 output the number about the column voltage of four levels, the number about remaining one level understands CMP14.

[0035]Whenever PINV17 which is an PWM phase inversion instruction circuit calculates the above-mentioned clock signal and calculates five clocks, it reverses an output. Therefore, although PINV17 outputs high level or a low level, whenever the time for five clocks of a clock signal passes, it reverses an output. the added result (value which shows the level of column

voltage) to which CMP14 was outputted from CNT13 so that it might mention later -- the order from a large value -- or although outputted sequentially from a small value (in ascending order), it determines whether to consider it as a descending order, or consider it as an ascending order according to the output of PINV17 (in descending order). In this example, it will output to an ascending order that the output of PINV17 is high-level, and will output to a descending order that the output of PINV17 is a low level.

[0036]At this embodiment, each calculating means is realized by each MLAC12C<sub>0</sub> provided corresponding to each PWM period - 12C<sub>4</sub>. The counting means which calculates the occurrences of the operation value (either [ This example ] 0-4) outputted from each calculating means is realized by CNT13, and the column voltage value output means is realized by CMP14 and CYCT16. In the adjoining selection period, a time phase inversion means to make reverse the state of outputting to the state of outputting to the ascending order in a column voltage value output means, and a descending order is realized PINV17.

[0037]Drawing 2 is a block diagram showing the example of connection of the bit map memory 31 in which an indicative data is stored, drive circuit 10C<sub>1</sub>, ..., 10C<sub>n</sub>. The example shown in drawing 2 shows the example which can memorize the indicative data for n sequence of four lines, C<sub>1</sub> - C<sub>n</sub>. And MLAD10C<sub>1</sub> and ... which are the drive circuits corresponding to each sequence of the bit map memory 31, and 10C<sub>n</sub> are connected. Each MLAD10C<sub>1</sub>, ..., 10C<sub>n</sub> are constituted, respectively, as shown in drawing 1.

[0038]Drawing 3 is an explanatory view showing the example which applied the PWM method to MLA method. The explanatory view showing the example of the PWM ingredient in each PWM period T<sub>0</sub> of one selection period (T) corresponding to the explanatory view in which (a) shows the example of the indicative data for one row, and the indicative data which shows (b) to (a) - T<sub>4</sub> in drawing 3. It is a timing diagram in which (c) shows the example of a selection row sequence, and (d) shows the voltage waveform of a column electrode. Drawing 4 is a timing diagram showing operation of MLAD10C shown in drawing 1.

[0039]Next, operation of MLAD10C shown in drawing 1 is explained with reference to the explanatory view of drawing 3, and the timing diagram of drawing 4. The PWM ingredient to which a cycle value and 4B are outputted for 4A from GDATP11 in drawing 4. As for the line selection pattern in which 4C is outputted from RSELR15, and 4D, the output of MLAC12C<sub>0</sub> - 12C<sub>4</sub> and 4E show the output (renewal of an output) of CNT13, 4F shows the output of CMP14, and 4G shows the output of PINV17. As shown in drawing 4, when a cycle value is set to "0", from the bit map memory 31. The indicative data of line L<sub>0</sub> is outputted to GDATP11 in MLAD10C. If a cycle value is set to "1", the indicative data of line L<sub>1</sub> will be outputted, if a cycle value is set to "2", the indicative data of line L<sub>2</sub> will be outputted, and if a cycle value is set to "3", the indicative data of line L<sub>3</sub> will be outputted.

[0040]Whenever GDATP11 inputs the indicative data of each line L<sub>n</sub> (n is 0-3 at this example), it generates the PWM ingredient of each PWM period T<sub>0</sub> corresponding to the inputted indicative data - T<sub>4</sub>. And each element of a PWM ingredient is outputted to corresponding MLAC12C<sub>0</sub> - 12C<sub>4</sub>. Supposing it seems that an indicative data shows (a) of drawing 3, the PWM ingredient of PWM period T<sub>0</sub> shown in (b) of drawing 3 will be outputted to MLAC12C<sub>0</sub>. The PWM ingredient of PWM period T<sub>1</sub> is outputted to MLAC12C<sub>1</sub>. The PWM ingredient of PWM period T<sub>2</sub> is outputted to MLAC12C<sub>2</sub>, the PWM ingredient of PWM period T<sub>3</sub> is outputted to MLAC12C<sub>3</sub>, and the PWM ingredient of PWM period T<sub>4</sub> is outputted to MLAC12C<sub>4</sub>.

[0041]And RSELR15 is outputting the ingredient in the line selection pattern corresponding to the selection period at the time, when the PWM ingredient of line L<sub>n</sub> is outputted to each



MLAC12C<sub>0</sub> - 12C<sub>4</sub> from GDATP11. For example, when the line selection pattern of R<sub>2</sub> shown in drawing 3 (c) is being used. RSEL15 outputs "1" which is an ingredient corresponding to line L<sub>0</sub> in the line selection pattern of R<sub>2</sub>, when the PWM ingredient of line L<sub>0</sub> is outputted to each MLAC12C<sub>0</sub> - 12C<sub>4</sub> from GDATP11. When the PWM ingredient of line L<sub>1</sub> is outputted to each MLAC12C<sub>0</sub> - 12C<sub>4</sub> from GDATP11, "0" which is an ingredient corresponding to line L<sub>1</sub> in the line selection pattern of R<sub>2</sub> is outputted. Similarly, when the PWM ingredient of line L<sub>2</sub> and L<sub>3</sub> is outputted to each MLAC12C<sub>0</sub> - 12C<sub>4</sub> from GDATP11, the ingredient corresponding to line L<sub>2</sub> in the line selection pattern of R<sub>2</sub> and L<sub>3</sub> is outputted.

[0042]Each MLAC12C<sub>0</sub> - 12C<sub>4</sub> perform an MLA operation about the PWM ingredient outputted from GDATP11, and the ingredient of a line selection pattern, and output the result of an operation to CNT13. For example, each MLAC12C<sub>0</sub> - 12C<sub>4</sub> input the PWM ingredient of GDATP11 to line L<sub>0</sub>. In that case, the ingredient of line L<sub>0</sub> in a line selection pattern is outputted from RSEL15. Each MLAC12C<sub>0</sub> - 12C<sub>4</sub> compute the exclusive OR of the PWM ingredient of line L<sub>0</sub>, and the ingredient of line L<sub>0</sub> in a line selection pattern, and memorize a computed result. Each MLAC12C<sub>0</sub> - 12C<sub>4</sub> input the PWM ingredient of GDATP11 to line L<sub>1</sub>. In that case, the ingredient of line L<sub>1</sub> in a line selection pattern is outputted from RSEL15. Each MLAC12C<sub>0</sub> - 12C<sub>4</sub> compute the exclusive OR of the PWM ingredient of line L<sub>1</sub>, and the ingredient of line L<sub>1</sub> in a line selection pattern, and memorize a computed result. Similarly, each MLAC12C<sub>0</sub> - 12C<sub>4</sub> input the PWM ingredient of line L<sub>2</sub> from GDATP11, and L<sub>3</sub>. In that case, the ingredient of line L<sub>2</sub> in a line selection pattern and L<sub>3</sub> is outputted from RSEL15. Each MLAC12C<sub>0</sub> - 12C<sub>4</sub> compute the exclusive OR of the PWM ingredient of line L<sub>2</sub> and L<sub>3</sub>, and the ingredient of line L<sub>2</sub> in a line selection pattern, and L<sub>3</sub>, and memorize a computed result. Each MLAC12C<sub>0</sub> - 12C<sub>4</sub> will add each memorized value, if a cycle value is set to "4." And an added result is outputted to CNT13 as the MLA result of an operation (value which shows the level of column voltage).

[0043]Supposing a line selection pattern is R<sub>2</sub> of the selection row sequences shown in (c) of drawing 3, MLAC12C<sub>0</sub> outputs "1" as the MLA result of an operation as a value which shows the level of column voltage, MLAC12C<sub>1</sub> outputs "2", MLAC12C<sub>2</sub> outputs "1", MLAC12C<sub>3</sub> outputs "2", and MLAC12C<sub>4</sub> outputs "3."

[0044]If a cycle value is set to "4", CNT13 will calculate each number of "0" - "4" outputted from each MLAC12C<sub>0</sub> - 12C<sub>4</sub>, and will output a counting result to CMP14, but. In this example, an output value is updated so that the signal which shows two pieces about one piece and "2", shows two pieces about "1", and shows [ "4" / "0" ] 0 about 0 and "3" may be outputted to CMP14.

[0045]CMP14 will output the smallest value among the values which show the level of column voltage, if a cycle value is set to "0." In this case, "1" is outputted. If a cycle value is set to "1", the smallest value will be outputted among the values which show the level of column voltage at the time. An outputted value already is excepted from the decision object of the smallest value. Similarly, CMP14 will output the smallest value among the values which show the level of column voltage at each time, if a cycle value is set to "2", "3", and "4."

[0046]As shown in drawing 4, the output of PINV17 is high-level at this time. Therefore, as mentioned above, the value which shows the level of column voltage is outputted to an ascending order from CMP14. As a result, as shown in (d) of drawing 3, the change point of the column voltage in one selection period is produced only twice. As shown in (d) of drawing 17, when not applying this invention, the change point of the column voltage in one selection period is 4 times. Thus, according to this invention, the number of times which the change point of column voltage produces is reduced by rearranging into an ascending order the value which

shows the column voltage after an MLA operation. Even if it rearranges into a descending order the value which shows the column voltage after an MLA operation, the number of times which the change point of column voltage produces is reduced like the case where it rearranges into an ascending order.

[0047]If the value which shows the column voltage after an MLA operation is rearranged into an ascending order or a descending order, the number of times which the change point of column voltage produces is not only reduced, but it can make small the grade of the voltage change in each change point. Since the grade of the voltage change in each change point becomes small, the current amount for charging the liquid crystal which acts as a capacitor becomes small, and the consumed electric current in the whole circuit becomes small. Since the grade of voltage change becomes small, the spike noise which takes a line electrode in a voltage change point can be made still smaller, as a result, a cross talk becomes small, and display unevenness decreases further.

[0048]In (d) of drawing 3, "0",  $-V_c$  and "2" correspond to 0, "3" corresponds to  $+V_c$ , and "4" supports  $[-2V_c \text{ and } "1"] + 2V_c$ . When a cycle value is set to "0", "1", "2", and "3", the indicative data of line  $L_0$  - the indicative data of line  $L_3$  are again outputted from the bit map memory 31.

[0049]A cycle signal returns to the state which shows "0", after showing "4", but the output of PINV17 is reversed then. In the example shown in drawing 4, it changes from high level to a low level. Then, CMP14 will be in the state of outputting the value which shows the level of column voltage to a descending order. That is, CMP14 will output the largest value among the values which show the level of column voltage, if a cycle value is set to "0." "3" is outputted when the example shown in drawing 3 is used. If a cycle value is set to "1", the largest value (this example "2") will be outputted among the values which show the level of column voltage at the time. An outputted value already is excepted from the decision object of the largest value. Therefore, if a cycle value is set to "1", CMP14 to "2" will be outputted. Similarly, CMP14 will output the largest value among the values which show the level of column voltage at each time, if a cycle value is set to "2", "3", and "4."

[0050]Thus, the column voltage value output means realized by CMP14 and CYCT16 outputs the value (either [ This example ] 0-4) according to column voltage to an ascending order or a descending order based on the counting result of CNT13 as a counting means. The time phase inversion means realized by PINV17 makes reverse the state of outputting to the state of outputting to the ascending order in a column voltage value output means, and a descending order, in the adjoining selection period.

[0051]The indicative data outputted from the bit map memory 31 in a certain selection period is the same as that of the indicative data outputted in the selection period before that, And in not performing control (control which makes reverse the state of outputting to the state of outputting to an ascending order in the adjoining selection period, and a descending order) based on the output of PINV17, it comes to show the voltage waveform of a column electrode in (a) of drawing 5. However, in this embodiment, the PWM phase is reversed for every selection period according to the output of PINV17. That is, time reversal of the PWM phase is performed.

Drawing 5 (b) shows the waveform of column voltage when time reversal of an PWM phase is performed according to the output of PINV17. Since change of the column voltage in the boundary of a selection period has not arisen when time reversal of an PWM phase is performed so that (a) of drawing 5 and (b) may show, the number of times of change of overall (for example, 1 frame-period whole) column voltage can be reduced.

[0052]If CMP14 outputs the value which shows the level of column voltage to an ascending order or a descending order as mentioned above, can reduce the number of times of change of the column voltage in one selection period, but. If time reversal of an PWM phase is performed by replacing an ascending order and a descending order with for every selection period, the number of times of change of column voltage can be reduced further. As a result, a cross talk can be reduced while a drive circuit suitable for being able to control increase of the consumed electric current more effectively and using for personal digital assistants, such as a portable telephone and a Personal Digital Assistant, is realized.

[0053](Embodiment 2) According to the above-mentioned embodiment, although the numbers of voltage levels of column voltage were five levels, there is the method of making it into the dummy line on which a part of line by which considers it as the method of carrying out reduction of the number of voltage levels of column voltage in MLA method, and simultaneous selection is made is not actually displayed (when a simultaneous selection line number is 4).

[0054]The example which applied the PWM method to the MLA method which provided the dummy line hereafter is explained using drawing 6. The explanatory view showing the example of the PWM ingredient in each PWM period  $T_0$  corresponding to the explanatory view in which (a) shows the example of the indicative data for one row, and the indicative data which shows (b) to (a) -  $T_3$ , and the MLA result of an operation in drawing 6, The explanatory view showing the example of the selection row sequence in which (c) contains a dummy line, and (d) are the timing diagrams showing the voltage waveform of the column electrode when not rearranging the value which shows the column voltage after an MLA operation. (e) is a timing diagram showing the voltage waveform of the column electrode at the time of applying this invention. Here, the case where one selection period is divided into division into equal parts at four PWM period  $T_0 - T_3$  is made into an example.

[0055]In each period of  $T_0 - T_3$ , the data of the virtual line for using the number of voltage levels of column voltage as two levels is determined. Using the orthogonal matrix shown in drawing 6 (c), when  $R_2$  is a line selection pattern, virtual data (dummy data) is set to "1" by  $T_0$  and  $T_2$ . Virtual data is set to "0" in  $T_1$  and  $T_3$ .

[0056]And if an MLA operation is performed, in the result of an operation, only two kinds, "1" and "3", will appear. Thus, when a dummy line is provided, the number of voltage levels of column voltage can be reduced, and when a simultaneous selection line number is set to 3 and the dummy line of one line is provided, the number of voltage levels of column voltage can be used as two levels.

[0057]Drawing 7 is a block diagram showing the example of composition of Embodiment 2. Here, a simultaneous selection line number is set to 3, one dummy line is set up, and the case where divide one selection period of MLA at four PWM periods of  $T_0 - T_3$ , and the PWM method is realized is made into an example. In the composition shown in drawing 7, GDATP11 generates the PWM ingredient of each PWM period  $T_0 - T_3$  from an indicative data in MLDA101C which is a drive circuit. MLAC12C<sub>0</sub>, 12C<sub>1</sub>, 12C<sub>2</sub>, and 12C<sub>3</sub>, It is provided corresponding to each PWM period  $T_0 - T_3$ , and, respectively, An MLA operation is performed from what added the virtual data for reducing the number of voltage levels of column voltage to the PWM ingredient of each PWM period  $T_0$  outputted from GDATP11 -  $T_3$ , and the ingredient of the line selection pattern outputted from RSELR15. It may constitute, as virtual data is already contained in the PWM ingredient outputted from GDATP11.

[0058]MLAC12C<sub>0</sub> - 12C<sub>3</sub> add the exclusive OR of each PWM ingredient (virtual data is included) and the ingredient of the selection row sequence containing a dummy line,

respectively, and output an added result. In this case, the result of the MLA operation by  $MLAC12C_0 - 12C_3$  can be made into either "1" or "3" by setting up virtual data suitably. And  $MLAC12C_0 - 12C_3$  output "0", when the result of an MLA operation is "1", and when the result of an MLA operation is "3", they output "1."

[0059]Since  $-V_c$  is used as column voltage when the result of an MLA operation is "1", and  $+V_c$  is used as column voltage when the result of an MLA operation is "3", "0" which  $MLAC12C_0 - 12C_3$  output corresponds to  $-V_c$ , and "1" which  $MLAC12C_0 - 12C_3$  output corresponds to  $+V_c$ .

[0060]ADD131 which is a circuit which adds adds the number (either of the five values of 0-4) of "1" \*\* outputted from each  $MLAC12C_0 - 12C_3$ , and outputs an aggregate value to CMP14. CMP14 outputs data according to the cycle signal outputted from CYCT16 according to the aggregate value outputted from ADD131.

[0061]Although the value of either of the five values of 0-4 is outputted as an aggregate value in this embodiment about "1" corresponding to [ of the column voltage ( $-V_c$ ,  $+V_c$ ) of two levels ] ADD131 to CMP14 on the other hand ( $+V_c$ ), The sum total of the number is four according to PWM period  $T_0 - T_3$ . Therefore, even if it makes it ADD131 output the aggregate value about the column voltage of one level, the number about remaining one level understands CMP14. It may be made to output the number about the column voltage of each level.

[0062]At this embodiment, each calculating means is realized by each  $MLAC12C_0$  provided corresponding to each PWM period -  $12C_3$ , The counting means which calculates the occurrences of the operation value (either [ This example ] 0-1) outputted from each calculating means is realized by ADD131, and the column voltage value output means is realized by CMP14 and CYCT16. In the adjoining selection period, a time phase inversion means to make reverse the state of outputting to the state of outputting to the ascending order in a column voltage value output means, and a descending order is realized PINV17.

[0063]Drawing 8 is a block diagram showing the example of connection of the bit map memory 31 in which an indicative data is stored, drive circuit  $101C_1, \dots, 101C_n$ . The example shown in drawing 8 shows the example which can memorize the indicative data for n sequence of three lines,  $C_1 - C_n$ . And corresponding to each sequence of the bit map memory 31,  $MLAD101C_1$  and ... which are the drive circuits corresponding to each column electrode, and  $101C_n$  are connected. Each  $MLAD101C_1, \dots, 101C_n$  are constituted, respectively, as shown in drawing 7. Drawing 9 is a timing diagram showing operation of  $MLAD101C$  shown in drawing 7. The PWM ingredient to which a cycle value and 9B are outputted for 9A from GDATP11 in drawing 9, As for the line selection pattern in which 9C is outputted from RSELR15, and 9D, the output of  $MLAC12C_0 - 12C_3$  and 9E show the output (renewal of an output) of ADD131, 9F shows the output of CMP14, and 9G shows the output of PINV17.

[0064]Next, operation of  $MLAD101C$  shown in drawing 7 is explained with reference to the explanatory view of drawing 6, and the timing diagram of drawing 9. As shown in drawing 9, when a cycle value is set to "0", from the bit map memory 31. The indicative data of line  $L_0$  is outputted to GDATP11 in  $MLAD101C$ , if a cycle value is set to "1", the indicative data of line  $L_1$  will be outputted, and if a cycle value is set to "2", the indicative data of line  $L_2$  will be outputted.

[0065]Whenever GDATP11 inputs the indicative data of line  $L_n$  (n is 0-2 at this example), it generates the PWM ingredient of each PWM period  $T_0$  corresponding to the inputted indicative data -  $T_3$ . And each element of a PWM ingredient is outputted to corresponding  $MLAC12C_0 - 12C_3$ . Supposing it seems that an indicative data shows (a) of drawing 6, the PWM ingredient of PWM period  $T_0$  shown in (b) of drawing 6 will be outputted to  $MLAC12C_0$ , The PWM

ingredient of PWM period  $T_1$  is outputted to MLAC12C<sub>1</sub>, the PWM ingredient of PWM period  $T_2$  is outputted to MLAC12C<sub>2</sub>, and the PWM ingredient of PWM period  $T_3$  is outputted to MLAC12C<sub>3</sub>.

[0066]And RSEL15 is outputting the ingredient in the line selection pattern corresponding to the selection period at the time, when the PWM ingredient of line  $L_n$  is outputted to each MLAC12C<sub>0</sub> - 12C<sub>3</sub> from GDATP11. For example, when the line selection pattern of  $R_2$  shown in drawing 6 (c) is being used. When the PWM ingredient of line  $L_0$  is outputted to each MLAC12C<sub>0</sub> - 12C<sub>3</sub> from GDATP11, RSEL15, "1" which is an ingredient corresponding to line  $L_0$  in the line selection pattern of  $R_2$  is outputted. When the PWM ingredient of line  $L_1$  is outputted to each MLAC12C<sub>0</sub> - 12C<sub>3</sub> from GDATP11, "0" which is an ingredient corresponding to line  $L_1$  in the line selection pattern of  $R_2$  is outputted. Similarly, when the PWM ingredient of line  $L_2$  is outputted to each MLAC12C<sub>0</sub> - 12C<sub>3</sub> from GDATP11, the ingredient corresponding to line  $L_2$  in the line selection pattern of  $R_2$  is outputted.

[0067]Each MLAC12C<sub>0</sub> - 12C<sub>3</sub> perform an MLA operation about the PWM ingredient outputted from GDATP11, and the ingredient of a line selection pattern, and output the result of an operation to ADD131. For example, each MLAC12C<sub>0</sub> - 12C<sub>3</sub> input the PWM ingredient of GDATP11 to line  $L_0$ . In that case, the ingredient of line  $L_0$  in a line selection pattern is outputted from RSEL15. Each MLAC12C<sub>0</sub> - 12C<sub>3</sub> compute the exclusive OR of the PWM ingredient of line  $L_0$ , and the ingredient of line  $L_0$  in a line selection pattern, and memorize a computed result.

[0068]Each MLAC12C<sub>0</sub> - 12C<sub>3</sub> input the PWM ingredient of GDATP11 to line  $L_1$ . In that case, the ingredient of line  $L_1$  in a line selection pattern is outputted from RSEL15. Each MLAC12C<sub>0</sub> - 12C<sub>3</sub> compute the exclusive OR of the PWM ingredient of line  $L_1$ , and the ingredient of line  $L_1$  in a line selection pattern, and memorize a computed result. Similarly, each MLAC12C<sub>0</sub> - 12C<sub>3</sub> input the PWM ingredient of GDATP11 to line  $L_2$ . In that case, the ingredient of line  $L_2$  in a line selection pattern is outputted from RSEL15. Each MLAC12C<sub>0</sub> - 12C<sub>3</sub> compute the exclusive OR of the PWM ingredient of line  $L_2$ , and the ingredient of line  $L_2$  in a line selection pattern, and memorize a computed result.

[0069]The exclusive OR of the ingredient of a dummy line and virtual data is computed, and it constitutes so that processing adding each computed result remembered to be the computed result may be performed and the final MLA result of an operation may be obtained. However, what is necessary is just to set the MLA result of an operation to "3", if the sum of each computed result which sets the MLA result of an operation to "1", and is memorized if the sum of each computed result memorized is "0" or "1" is "2" or "3" in order to make the MLA result of an operation into two kinds, "1" or "3."

[0070]Virtual data will be decided to become so if it puts in another way. Therefore, each MLAC12C<sub>0</sub> - 12C<sub>3</sub> will add each computed result memorized, if a cycle value is set to "3", without computing the exclusive OR of the ingredient of a dummy line, and virtual data. If the added result is "0" or "1" (the high order bit at the time of a double figures binary table being shown is "0"), "0" which shows "1" as the MLA result of an operation (value which shows the level of column voltage) will be outputted to ADD131. If an added result is "2" or "3" (the high order bit at the time of a double figures binary table being shown is "1"), "1" "3" [ as the MLA result of an operation ] Shown will be outputted to ADD131.

[0071]Supposing a line selection pattern is  $R_2$  of the selection row sequences shown in (c) of drawing 6, The MLA result of an operation of MLAC12C<sub>0</sub> is "1", the MLA result of an operation of MLAC12C<sub>1</sub> is "3", the MLA result of an operation of MLAC12C<sub>2</sub> is "1", and the MLA result of an operation of MLAC12C<sub>3</sub> is "3." Therefore, MLAC12C<sub>0</sub> outputs "0",

MLAC12C<sub>1</sub> outputs "1", MLAC12C<sub>2</sub> outputs "0", and MLAC12C<sub>3</sub> outputs "1."

[0072]Thus, an orthogonal matrix contains the line corresponding to the dummy line which is not actually displayed. And the calculating means is calculating by including the virtual data set up reduce the number of the voltage levels impressed to a column electrode at one selection period (kind) in the data according to gradation.

[0073]If a cycle value is set to "3", ADD131 will add the number of "1" outputted from each MLAC12C<sub>0</sub> - 12C<sub>3</sub>, and it will update an output value so that the signal which shows an aggregate value may be outputted to CMP14. In this example, "2" is calculated as an aggregate value.

[0074]In this embodiment, when the output of PINV17 is high-level (i.e., when outputting the value which shows the level of column voltage to an ascending order), CMP14, [(PWM number-of-partitions (number [ of PWM period T<sub>0</sub> - T<sub>3</sub> ], and this example 4)-aggregate value] if the conditions of the value (cycle value) which > cycle signal shows are fulfilled, "0" (it corresponds to -V<sub>c</sub>) will be outputted.) In being other, it outputs "1" (it corresponds to +V<sub>c</sub>).

[0075]Since an aggregate value is "2" in this example, CMP14 outputs "0" in PWM period T<sub>0</sub> and T<sub>1</sub>, and outputs "1" in PWM period T<sub>2</sub> and T<sub>3</sub>. Therefore, a column voltage waveform comes to be shown in drawing 6 (e). That is, the change point of the column voltage in one selection period is 1 time. Thus, a simultaneous selection line number is 3, and when the virtual line of one line is set up, according to this invention, the number of times which the change point of column voltage produces is reduced by at most 1 time.

[0076]A cycle signal returns to the state which shows "0", after showing "3", but the output of PINV17 is reversed then. In this example, it changes from high level to a low level. Then, CMP14 will be in the state of outputting the value which shows the level of column voltage to a descending order. Specifically, CMP14 will output "1" (it corresponds to +V<sub>c</sub>), if the conditions of an aggregate value > cycle value are fulfilled. In being other, it outputs "0" (it corresponds to -V<sub>c</sub>). Therefore, since an aggregate value is "2" when the example shown in (a) - (c) of drawing 6 is used, CMP14 outputs "1" in PWM period T<sub>0</sub> and T<sub>1</sub>, and outputs "0" in PWM period T<sub>2</sub> and T<sub>3</sub>.

[0077]Thus, the column voltage value output means realized by CMP14 and CYCT16 outputs the value (either [ This example ] 0-1) according to column voltage to an ascending order or a descending order based on the counting result of ADD131 as a counting means. The time phase inversion means realized by PINV17 makes reverse the state of outputting to the state of outputting to the ascending order in a column voltage value output means, and a descending order, in the adjoining selection period.

[0078]The indicative data outputted from the bit map memory 31 in a certain selection period, It is the same as that of the indicative data outputted in the selection period before that, and in not performing control (control which makes reverse the state of outputting to the state of outputting to an ascending order in the adjoining selection period, and a descending order) based on the output of PINV17, it comes to show the waveform of column voltage in (a) of drawing 10. However, in this embodiment, the PWM phase is reversed for every selection period. That is, time reversal of the PWM phase is performed. Drawing 10 (b) shows the waveform of column voltage when time reversal of an PWM phase is performed according to the output of PINV17. Since change of the column voltage in the boundary of a selection period has not arisen when time reversal of an PWM phase is performed so that (a) of drawing 10 and (b) may show, the number of times of change of overall (for example, 1 frame-period whole) column voltage can be reduced.

[0079]As mentioned above, a simultaneous selection line number is 3, and when the dummy line of one line is provided, if CMP14 outputs the value which shows the level of column voltage to an ascending order or a descending order, the number of times of change of the column voltage in one selection period can be reduced to 0 or 1 time. The number of times of change of overall (for example, 1 frame-period whole) column voltage can be reduced by performing time reversal of an PWM phase. As a result, a drive circuit suitable for being able to control increase of the consumed electric current more effectively and using for personal digital assistants, such as a portable telephone and a Personal Digital Assistant, is realized. A cross talk can be reduced.

[0080]A simultaneous selection line number is 3, and when the dummy line of one line is provided, such an effect is remarkable like [ a simultaneous selection line number is 6 and / at the time of providing the dummy line of two lines ], especially when the number of voltage levels of column voltage can be lessened.

[0081]Although CMP14 performed control which reverses an PWM phase in time according to the output of PINV17, it may be made to reverse an PWM phase spatially in Embodiments 1 and 2. Reversing an PWM phase spatially is reversing the phase of the column voltage impressed to an adjoining column electrode. For example, in the composition shown in drawing 8, while MLAD101C corresponding to the column electrode of an odd number sequence is outputting the value which shows the level of column voltage to the ascending order, it controls so that MLAD101C corresponding to the column electrode of an even number sequence outputs the value which shows the level of column voltage to a descending order.

[0082]What is necessary is just to set up such control, for example so that the polarity of the output of PINV17 in MLAD101C corresponding to the column electrode of an odd number sequence and the polarity of the output of PINV17 in MLAD101C corresponding to the column electrode of an even number sequence may become opposite. The timing diagram showing the voltage waveform of the column electrode at the time of reversing an PWM phase spatially, etc. is shown in drawing 11. In drawing 11, n, n+1, n+2, and n+3 show the example of a waveform of the column voltage of each sequence, and 11A-11C show the example of the spike noise which takes a line electrode.

[0083]If column voltage changes in the direction (the direction which rises, or the direction which falls) to all the column electrodes, a big spike noise will take a line electrode. As a result, in the change-of-potential timing of a column electrode, since the voltage impressed to a pixel becomes blunt, the loss of the voltage effective value impressed to a pixel becomes large, and a cross talk becomes large.

[0084]However, when an PWM phase is reversed spatially, as the voltage change direction of column voltage can be prevented from gathering and it is spatially shown in 11C of drawing 11 as a result, the spike noise produced in a line electrode can be reduced considerably. That is, the loss of the voltage effective value impressed to a pixel does not become large, and a cross talk can be reduced.

[0085]Since direction of a spike noise differs within one selection period (T) as shown in 12C of drawing 12 even when the change point of each column voltage is shifted in time, the loss of the voltage effective value in the selection period is eased, and a cross talk can be reduced. In drawing 12, n, n+1, n+2, and n+3 show the example of a waveform of the column voltage of each sequence, and 12A-12C show the example of the spike noise which takes a line electrode. Although the PWM phase was reversed for every row in the example shown in drawing 11, the spatial period of reversal is not restricted to "1" (one row), but it may be made to reverse an PWM phase with two or more spatial periods.



[0086]A simultaneous selection line number is 3 and the example shown in drawing 11 is an example at the time of setting a dummy line as 1. That is, it is an example at the time of applying the control which reverses an PWM phase spatially to the composition shown in drawing 7. However, while outputting the value which a simultaneous selection line number is 3 and shows the level of not only when the virtual line of one line is set up, but column voltage to an ascending order or a descending order, the control which reverses an PWM phase spatially is applicable to the drive circuit which performs time reversal of an PWM phase.

[0087]As explained above, in the drive circuit of a liquid crystal display, the column voltage value output means realized by CMP14 and CYCT16 outputs the value according to column voltage to an ascending order or a descending order based on the counting result of the counting means realized by CNT13 or ADD131. PINV17 may constitute from a predetermined spatial period so that a spatial phase inversion means to make reverse the state of outputting to the state of outputting to the ascending order in a column voltage value output means, and a descending order may be realized.

[0088]Although the example at the time of performing control which performs control which reverses an PWM phase in time, and reverses an PWM phase spatially was shown in drawing 11, only the control which reverses an PWM phase spatially may be applied. In that case, if the composition shown in drawing 7 is taken for an example, the PWM phase inverter 17 will be lost, For example, what is necessary is just to constitute, as CMP14 in MLAD101C corresponding to the column electrode of an odd number sequence outputted the value which shows the level of column voltage to an ascending order and the value which shows the level of column voltage outputted in CMP14 in MLAD101C corresponding to the column electrode of an even number sequence to a descending order.

[0089]Although MLAD10C<sub>1</sub>, ---, 10C<sub>n</sub> or MLAD101C<sub>1</sub>, ..., 101C<sub>n</sub> were provided in the above-mentioned Embodiments 1 and 2 corresponding to each column electrode, One arithmetic circuit is provided, the value which shows the column voltage corresponding to each of all the column electrodes of a liquid crystal display is calculated in the arithmetic circuit, and it may be made to output. Or a number smaller than the number of column electrodes of two or more arithmetic circuits may be provided. For example, the arithmetic circuit of 1/n (n is two or more integers) of the number of column electrodes is provided, and each arithmetic circuit may be made to perform the operation corresponding to the column electrode of n book.

[0090]That the alignment of the pulse of the ascending order of this invention or a descending order is always materialized, without being based on the number of simultaneous selections and the number of partitions of a selection period is only completeness or a case where it divides into division into equal parts nearly thoroughly, about a selection period. However, in the viewpoint of displaying story tonality at worst, if it is "a division period of the peace > longest of the shorter one to two division periods", the alignment of a pulse will be materialized. The alignment of a pulse is rearranging the MLA result of an operation, as the pulse which forms column voltage is outputted to an ascending order or a descending order.

[0091]The display of story tonality stops materializing as it is "a division period of the peace <= longest of the shorter one to two division periods." For example, the case of trichotomy (0.3:0.4:1, a total of 1.7) is raised. If a selection period is treated as equal segmentation divided into division into equal parts, a data-processing top, The place which should be 1/3 gradation is displayed as 0.3/1.7, 0.4/1.7, or 1/1.7 gradation, and the place which should be 2/3 gradation is displayed as 0.7/1.7, 1.3/1.7, or 1.4/1.7 gradation. The inversion of gradation arises and it stops then, materializing as a gradation display.



[0092]By however, the case where the number of the MLA results of an operation in case there is [ a virtual line ] the number of simultaneous selections in 3 is two ( $+V_c$  and  $-V_c$ ). By trichotomy (for example, 3:1:1, a total of 5), when the length of two division periods is equal, a change point can be set to one by rearrangement of the MLA result of an operation, and a gradation display is materialized.

[0093]

[Effect of the Invention]As stated above, according to this invention, while being able to control the increase in the change point of column voltage, the grade of the voltage change in each change point can be made small. Therefore, there is an effect which can control increase of the consumed electric current and increase of a cross talk.

[0094]The number of times of change of overall (for example, 1 frame-period whole) column voltage can be reduced by constituting from an adjoining selection period so that the state of outputting to the state of outputting to an ascending order, and a descending order may be made reverse.

[0095]By constituting from a predetermined spatial period so that the state of outputting to the state of outputting to an ascending order, and a descending order may be made reverse, the loss of the voltage effective value resulting from a spike noise is reduced, and increase of a cross talk can be controlled further.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]The block diagram showing the example of composition of the drive circuit of a liquid crystal display.

[Drawing 2]The block diagram showing the example of connection of a bit map memory and a drive circuit.

[Drawing 3]The explanatory view showing the example which applied the PWM method to the MLA method of Embodiment 1.

[Drawing 4]The timing diagram showing operation of the drive circuit of Embodiment 1.

[Drawing 5]The timing diagram showing the example of a voltage waveform of a column electrode.

[Drawing 6]The explanatory view showing the example which applied the PWM method to the MLA method of Embodiment 2.

[Drawing 7]The block diagram showing other examples of composition of the drive circuit of a liquid crystal display.

[Drawing 8]The block diagram showing the example of connection of a bit map memory and a drive circuit.

[Drawing 9]The timing diagram showing operation of the drive circuit of Embodiment 2.

[Drawing 10]The timing diagram showing the example of a voltage waveform of a column electrode.

[Drawing 11]The timing diagram showing the voltage waveform of the column electrode at the time of reversing an PWM phase spatially, etc.

[Drawing 12]The timing diagram showing the voltage waveform of the column electrode at the time of reversing an PWM phase spatially, etc.

[Drawing 13]The explanatory view showing the conventional example which applied the PWM method to MLA method.

[Drawing 14]The explanatory view showing the example of the general PWM method.

[Drawing 15]The explanatory view showing the conventional example which applied the PWM method to the MLA method at the time of providing a virtual line.

[Description of Notations]

10C, 101C MLAD

10C<sub>1</sub> - 10C<sub>n</sub>, 101C<sub>1</sub> - 101C<sub>1</sub>MLAD

11 GDATP

12C<sub>0</sub>, 12C<sub>1</sub>, 12C<sub>2</sub>, 12C<sub>3</sub>, 12C<sub>4</sub>MLAC

13 CNT

131 ADD

14 CMP

15 RSELR

16 CYCT

17 PINV

31 Bit map memory

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2003-57623

(P2003-57623A)

(43) 公開日 平成15年2月26日 (2003.2.26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
G 0 2 F 1/133	5 4 5	G 0 2 F 1/133	5 4 5 2 H 0 9 3
	5 7 5		5 7 5 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
			6 1 1 D
	6 4 1		6 4 1 A
審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願2001-248338(P2001-248338)

(22) 出願日 平成13年8月17日(2001.8.17)

(71) 出願人 000103747

オプトレックス株式会社

東京都荒川区東日暮里五丁目7番18号

(71) 出願人 000000044

旭硝子株式会社

東京都千代田区有楽町一丁目12番1号

(72) 発明者 一色 眞誠

神奈川県横浜市神奈川区羽沢町1150番地

旭硝子株式会社内

(74) 代理人 100103090

弁理士 岩壁 冬樹

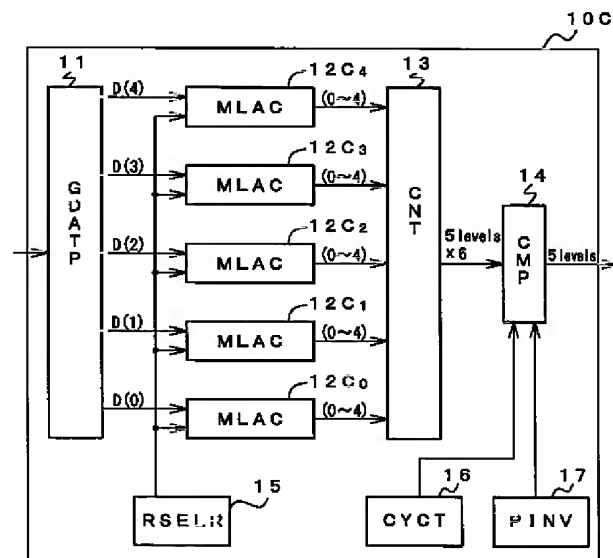
最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法および駆動回路

(57) 【要約】

【課題】 M L A 法に対して P W M 法を適用した場合に、消費電流の増大とクロストークの増大を抑制する。

【解決手段】 M L A C 1 2 C 0 ~ 1 2 C 4 は、各 P W M 期間 T 0 ~ T 4 に対応して設けられ、それぞれ、G D A T P 1 1 から出力される各 P W M 期間 T 0 ~ T 4 の P W M 成分と、R S E L R 1 5 から出力される行選択パターンとについて M L A 演算を行う。C N T 1 3 は、各 M L A C から出力される値のそれぞれの個数を計数し計数結果を C M P 1 4 に出力する。C M P 1 4 は、計数結果およびサイクル信号に従って、M L A 演算結果を、P I N V 1 7 の指示に応じて昇順または降順に出力する。



## 【特許請求の範囲】

【請求項1】 複数の行電極と複数の列電極を有する液晶表示装置の行電極を複数本一括して選択し、選択した各行電極に選択期間毎に直交行列の成分にもとづく所定の電圧を印加するとともに、表示データと前記直交行列の成分とから得られる値に応じた列電圧を各列電極に印加する液晶表示装置の駆動方法において、1選択期間を複数の分割した各期間を設け、表示データの階調に応じたデータをそれぞれの前記期間に対応して生成し、それぞれの前記期間におけるデータと直交行列の成分とから得られる列電圧に応じた値を昇順または降順に出力することを特徴とする液晶表示装置の駆動方法。

【請求項2】 隣接する選択期間では、昇順に出力する状態と降順に出力する状態とを逆にする請求項1に記載の液晶表示装置の駆動方法。

【請求項3】 列電圧が印加される全ての列電極に対して、所定の空間的周期で、昇順に出力する状態と降順に出力する状態とを逆にする請求項1または請求項2に記載の液晶表示装置の駆動方法。

【請求項4】 1選択期間を等分に分割して、それぞれの期間とする請求項1から請求項3のうちのいずれか1項に記載の液晶表示装置の駆動方法。

【請求項5】 複数の行電極と複数の列電極を有する液晶表示装置の行電極を複数本一括して選択し、選択した各行電極に選択期間毎に直交行列の成分にもとづく所定の電圧を印加するとともに、表示データと前記直交行列の成分とから得られる値に応じた列電圧を各列電極に印加する液晶表示装置の駆動回路において、1選択期間を複数の分割したそれぞれの期間に対応して設けられ、対応する期間における表示データの階調に応じたデータと直交行列の成分とから列電圧に応じた値を演算する演算手段と、前記演算手段の演算値の発生数を計数する計数手段と、前記計数手段の計数結果にもとづいて、列電圧に応じた値を昇順または降順に出力する列電圧値出力手段とを備えたことを特徴とする液晶表示装置の駆動回路。

【請求項6】 隣接する選択期間では、列電圧値出力手段における昇順に出力する状態と降順に出力する状態とを逆にさせる時間的位相反転手段を備えた請求項5に記載の液晶表示装置の駆動回路。

【請求項7】 所定の空間的周期で、列電圧値出力手段における昇順に出力する状態と降順に出力する状態とを逆にさせる空間的位相反転手段を備えた請求項5または請求項6に記載の液晶表示装置の駆動回路。

【請求項8】 直交行列は実際に表示しないダミーラインに対応した行を含み、演算手段は、1選択期間に列電極に印加する電圧レベルの数を減らすように設定された仮想データを階調に応じたデータに含めて演算を行う請求項5から請求項7のうちのいずれか1項に記載の液晶表示装置の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数ライン同時選択法によって液晶表示装置を駆動する駆動方法およびその駆動方法を用いた駆動回路に関する。特に、消費電流の増大とクロストークの増大を抑制できる液晶表示装置の駆動方法および駆動回路に関する。

## 【0002】

## 【従来の技術】

【0003】液晶表示装置は、軽量・小型という特性を生かして、携帯電話機や携帯情報端末等の携帯端末に広く適用されている。液晶表示装置には、主として、パッシブ駆動されるSTN液晶素子を使用したものと、TFTを備えたアクティブマトリックス液晶素子を使用したものがあるが、STN液晶素子は、アクティブマトリックス液晶素子に比べて、製造工程が短く、簡単な素子構造を持ち、低コストで生産できるという利点がある。

【0004】携帯端末においても、カラー表示や簡単な動画表示を行うことが望まれている。そのため、高速応答することと階調表示ができる液晶表示装置が要求される。

【0005】アクティブマトリックス液晶素子では、比較的高速な応答特性が得られる。一方、STN液晶素子では、駆動方式として、APT (Alto Pleshko Technique) やIAPT (Improved APT) などの線順次駆動法が用いられるのが一般的である。線順次駆動法は、オンレベル/オフレベルを簡単に発生できるためマルチプレクス駆動として有効であるが、STN液晶素子を高速応答させるには限界がある。

【0006】STN液晶素子をより高速に駆動するための駆動方法として、複数ライン同時選択法（マルチラインアドレッシング法：MLA法）がある。MLA法は、複数の走査電極（行電極）を一括して選択して駆動する方法である。MLA法では、データ電極（列電極）に供給される列表示パターンを独立に制御するために、同時に駆動される各行電極には、所定の電圧パルス列が印加される。

【0007】各行電極に印加される電圧パルス電圧群（選択パルス群）は、L行K列の行列で表すことができる。以下、この行列を選択行列という。Lは同時選択ライン数である。電圧パルス電圧群は、互いに直交するベクトル群として表される。従って、それらのベクトルを要素として含む行列は直交行列となる。各行列内の各行ベクトルは互いに直交している。

【0008】直交行列において、各行は液晶表示装置の各ラインに対応する。例えば、L本の選択ライン中の第1番目のラインに対して、選択行列の第1行目の要素が適用される。すなわち、1列目の要素、2列目の要素の順に選択パルスが、第1番目の行電極に印加される。

【0009】図13は、列電極に印加される電圧波形の

シーケンスの決め方を示す説明図である。図13において、(a)は選択行列および表示データの例、(b)は列表示パターンと電圧パターンの例、(c)は列電極  $i, j$  の電圧波形例を示す。ここでは、図13(a)に示すように、画素として4行2列、選択行列として4行4列の直交行列を例にとる。図13(a)に示す選択行列において、「1」は正の選択パルス、「0」は負の選択パルスを意味する。

【0010】列電極  $i, j$  において表示されるべき表示データが図13(a)の右側に示すようになっていているとする。図13(a)において、白丸は点灯であること、黒丸は消灯であることを示す。すると、列表示パターンは、図13(b)に示すようなベクトル(d)で表される。図13(b)に示すベクトル(d)では、「1」はオン表示に対応し、「0」はオフ表示に対応する。

【0011】列電極  $i, j$  に順次印加されるべき電圧レベルは、図13(b)に示すベクトル(v)のようになる。このベクトルは、列表示パターンとそれに対応する行選択パターン(選択行列における列)とについてビットごとに排他的論理和をとり、それらの結果の和をとったものに対応する。図13(c)は、図13(b)に示したベクトル(v)に対応した列電極  $i, j$  の電圧波形を示すタイミング図である。図13(c)において、縦軸は列電極に印加される電圧(列電圧)を示し、横軸は時間を示している。ここで、「0」は $-2V_c$ 、「1」は $-V_c$ 、「2」は0、「3」は $+V_c$ 、「4」は $+2V_c$ に対応している。

【0012】このような駆動方法によると、液晶のフレーム応答を抑制し、その結果、高速応答と高コントラストとを同時に達成できる。すなわち、単純マトリクス表示装置において従来駆動表示では困難とされていた高品位の画像提供が可能になる。

【0013】MLA法によって液晶表示装置を駆動する場合、列表示パターンおよび行選択パターンにおけるオンオフ表示および選択パターンを「1」と「0」とで表すと、列電極に印加される電圧パターンは、列表示パターンとそれに対応する行選択パターンとについてビットごとに排他的論理和をとり、それらの結果の和をとったものに対応する。以下、列表示パターンとそれに対応する行選択パターンとについてビットごとに排他的論理和をとり、それらの結果の和をとる演算をMLA演算と呼ぶ。

【0014】従って、列電圧のレベル数は、同時選択されるライン数がLのときL+1となる。例えば、選択行列として図13(a)に示す4行4列の直交行列を用いた場合には、同時選択ライン数は4なので印加電圧レベル数は5である。具体的には、図13(c)に示すように、 $(-2V_c, -V_c, 0, +V_c, +2V_c)$ の5種類のレベルが列電極  $i, j$  に印加されることになる。

【0015】アクティブマトリクス駆動法では、中間調

表示を行うために、振幅変調を用いて中間電圧を比較的容易に発生することができる。しかし、パッシブ駆動法では、単純に振幅変調を行うと線順次駆動における非選択時の電圧変動が生じて、非表示部分にオン表示またはオフ表示に応じた電圧とは異なる不正電圧が印加されてしまう。そこで、種々の中間電圧を発生させるための手法が用いられている。

【0016】以下、MLA法に対してパルス幅変調方式による階調方法(以下、PWM法という。)を適用した場合の駆動方法について説明する。まず、一般的なPWM法の例を図14に示す。図14において「1」はオン表示、「0」はオフ表示に対応する。

【0017】図14に示すように、例えば、選択期間(T)を5つ分割期間( $T_0 \sim T_4$ )に等分に分割する。階調レベル5/5は $T_0 \sim T_4$ の期間オン表示を行い、階調レベル0/5では $T_0 \sim T_4$ の期間オフ表示を行う。そして、階調レベル1/5, 2/5, 3/5, 4/5ではオン表示とオフ表示の期間を混在させることによって中間レベルの階調を表示する。このように選択期間を5分割した場合には6レベルの階調を表示できる。

【0018】次に、MLA法においてPWM法によって階調表示を行う方法について説明する。図15において、(a)は1列分の表示データの例、(b)は(a)に示す表示データに対応した各期間 $T_0 \sim T_4$ における列表示パターン(階調データ)およびMLA演算結果の例、(c)は選択行列の例である。MLA法においてPWM法によって階調表示を行う場合には、行選択パターンと各階調データとについてMLA演算を行う。

【0019】図15(c)に示す選択行列の2列目( $R_2$ )を行選択パターンとして使用している期間を考える。期間 $T_0$ では階調データ(1, 1, 1, 1)と行選択パターンとの各ビットの排他的論理和の和は「1」である。期間 $T_1$ では列表示パターン(1, 1, 0, 1)と行選択パターンとの各ビットの排他的論理和の和は「2」である。期間 $T_2$ では列表示パターン(1, 0, 0, 1)と行選択パターンとの各ビットの排他的論理和の和は「1」である。期間 $T_3$ では列表示パターン(1, 0, 0, 0)と行選択パターンとの各ビットの排他的論理和の和は「2」である。期間 $T_4$ では列表示パターン(0, 0, 0, 0)と行選択パターンとの各ビットの排他的論理和の和は「3」である。従って、列電極に順次印加されるべき電圧レベルを示す値は、(1, 2, 1, 2, 3)となる。図15(d)は列電極の電圧波形を示すタイミング図である。(d)において、縦軸は列電圧を示し、横軸は時間を示している。

【0020】

【発明が解決しようとする課題】図15(d)に示すように、MLA法に対してPWM法を適用した場合には、1選択期間における列電極の電圧波形において列電圧の変化点が多くなってしまふ。このため、クロストークが

大きくなるという課題がある。また、列電圧の変化点が多くなってしまうことから、消費電流が増大してしまうという課題もある。

【0021】そこで、本発明は、MLA法に対してPWM法を適用した場合に、消費電流の増大とクロストークの増大を抑制できる液晶表示装置の駆動方法および駆動回路を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明の態様1の液晶表示装置の駆動方法は、1選択期間を複数に分割した各期間を設け、表示データの階調に応じたデータをそれぞれの期間に対応して生成し、それぞれの期間におけるデータと直交行列の成分とから得られる列電圧に応じた値を昇順または降順に出力することを特徴とする。

【0023】態様2の液晶表示装置の駆動方法は、態様1の駆動方法において、隣接する選択期間では、昇順に出力する状態と降順に出力する状態とを逆にすることを特徴とする。すなわち、列電圧に応じた値の並べ替えを行った上で、さらに、PWM位相を時間的に反転させる。

【0024】態様3の液晶表示装置の駆動方法は、態様1または態様2の駆動方法において、列電圧が印加される全ての列電極に対して、所定の空間的周期で、昇順に出力する状態と降順に出力する状態とを逆にすることを特徴とする。すなわち、列電圧に応じた値の並べ替えを行った上で、さらに、PWM位相を空間的にも反転させる。

【0025】態様4の液晶表示装置の駆動方法は、態様1ないし態様3の駆動方法において、1選択期間を等分に分割して、それぞれの分割期間とすることを特徴とする。

【0026】本発明の態様5の液晶表示装置の駆動回路は、1選択期間を複数に分割したそれぞれの期間に対応して設けられ、対応する期間における表示データの階調に応じたデータと直交行列の成分とから列電圧に応じた値を演算する演算手段と、演算手段の演算値の発生数を計数する計数手段と、計数手段の計数結果にもとづいて、列電圧に応じた値を昇順または降順に出力する列電圧値出力手段とを備えたことを特徴とする。

【0027】態様6の液晶表示装置の駆動回路は、態様5の駆動回路において、隣接する選択期間では、列電圧値出力手段における昇順に出力する状態と降順に出力する状態とを逆にさせる時間的位相反転手段を備えたことを特徴とする。すなわち、列電圧値出力手段が、列電圧に応じた値の並べ替えを行った上で、さらに、PWM位相を時間的に反転させる。

【0028】態様7の液晶表示装置の駆動回路は、態様5または態様6の駆動回路において、所定の空間的周期で、列電圧値出力手段における昇順に出力する状態と降順に出力する状態とを逆にさせる空間的位相反転手段を

備えたことを特徴とする。すなわち、列電圧値出力手段が、列電圧に応じた値の並べ替えを行った上で、さらに、PWM位相を空間的にも反転させる。

【0029】態様8の液晶表示装置の駆動回路は、態様5ないし態様7の駆動回路において、直交行列が実際に表示しないダミーラインに対応した行を含み、演算手段が、1選択期間に列電極に印加する電圧レベルの数（種類）を減らすように設定された仮想データを階調に応じたデータに含めて演算を行うことを特徴とする。この場合、列電極に印加する電圧レベルの数が減ることから、1選択期間における列電圧の変化点が多くなることになる。

【0030】

【発明の実施の形態】（実施の形態1）以下、本発明の実施の形態について説明する。図1は、本発明による液晶表示装置の駆動回路の実施の形態1の構成例を示すブロック図である。ここでは、同時選択ライン数を4とし、MLAの1選択期間を $T_0 \sim T_4$ の5つの期間に等分に分割してPWM法を実現する場合を例にする。以下、各期間 $T_0 \sim T_4$ をPWM期間と呼ぶ。図1に示す構成では、駆動回路であるMLAD10Cにおいて、階調処理回路であるGDATP11は、表示データから各PWM期間 $T_0 \sim T_4$ の階調データ（PWM成分）を生成する。図1において、各PWM期間 $T_0 \sim T_4$ の階調データが、 $D(0)$ 、 $D(1)$ 、 $D(2)$ 、 $D(3)$ 、 $D(4)$ で示されている。

【0031】なお、1選択期間を分割する際に、分割された各期間は等分またはほぼ等分に分割された均等期間またはほぼ均等期間であることが好ましいが、場合によっては、非等分であってもよい。

【0032】また、MLA演算を行うハードウェア回路であるMLAC12C<sub>0</sub>、12C<sub>1</sub>、12C<sub>2</sub>、12C<sub>3</sub>、12C<sub>4</sub>は、各PWM期間 $T_0 \sim T_4$ に対応して設けられ、それぞれ、GDATP11から出力される各PWM期間 $T_0 \sim T_4$ のPWM成分と、選択行列保持を行うRSELRL15から出力される行選択パターンとについてMLA演算を行う。すなわち、MLAC12C<sub>0</sub>～12C<sub>4</sub>は、それぞれ、PWM成分の各ビットと行選択パターンの成分との排他的論理和を算出して算出結果を加算するというMLA演算を行い、加算結果を出力する。従って、MLAC12C<sub>0</sub>～12C<sub>4</sub>から「0」～「4」のいずれかが出力される。MLAC12C<sub>0</sub>～12C<sub>4</sub>から出力される加算結果は、列電圧のレベルを示す値である。

【0033】さらに、計数を行う回路であるCNT13は、各MLAC12C<sub>0</sub>～12C<sub>4</sub>から出力される「0」～「4」のそれぞれの個数を計数し計数結果（「0」～「4」のそれぞれの個数（0～5の6値のうちのいずれか））を、比較を行う回路であるCMP14に出力する。CMP14は、CNT13から出力された

計数結果を、CYCT16から出力されるサイクル信号に従って、列電圧( $-2V_c$ ,  $-V_c$ ,  $0$ ,  $+V_c$ ,  $+2V_c$ )を発生する列電圧発生回路(図示せず)に出力する。サイクル信号は、1選択期間における各PWM期間 $T_0 \sim T_4$ のうちどの期間にあるのかを示す信号であり、例えば、サイクル信号として $0 \sim 4$ を示す信号が順に繰り返し出力される。なお、本例では、GDATP11、MLAC12C<sub>0</sub>~12C<sub>4</sub>、CNT13、CMP14、RSELR15およびCYCT16は、クロック信号に従って動作する。また、サイクル信号が示す値をサイクル値と呼ぶ。

【0034】また、本実施の形態では、CNT13からCMP14に、5レベルの列電圧( $-2V_c$ ,  $-V_c$ ,  $0$ ,  $+V_c$ ,  $+2V_c$ )に対応した「0」~「4」のそれぞれについて $0 \sim 5$ の6値のうちのいずれかの値を個数として出力するが、任意の4レベルの列電圧についての個数を入力するようにしてもよい。個数の合計はPWM期間 $T_0 \sim T_4$ に亘じた5個であるから、CNT13が4レベルの列電圧についての個数を入力するようにしても、CMP14は、残り1つのレベルについての個数はわかる。

【0035】PWM位相反転指示回路であるPINV17は、上記のクロック信号を計数して5クロックを計数する毎に出力を反転する。従って、PINV17は、ハイレベルまたはローレベルを出力するが、クロック信号の5クロック分の時間が経過する毎に出力を反転する。後述するように、CMP14は、CNT13から出力された加算結果(列電圧のレベルを示す値)を大きい値から順に(降順に)または小さい値から順に(昇順に)出力するのであるが、PINV17の出力に応じて、降順とするか昇順とするか決定する。本例では、PINV17の出力がハイレベルであると昇順に出力し、PINV17の出力がローレベルであると降順に出力することにする。

【0036】なお、本実施の形態では、各演算手段は、各PWM期間に対応して設けられている各MLAC12C<sub>0</sub>~12C<sub>4</sub>で実現され、各演算手段から出力される演算値(本例では $0 \sim 4$ のいずれか)の発生数を計数する計数手段は、CNT13で実現され、列電圧値出力手段は、CMP14およびCYCT16で実現されている。また、隣接する選択期間では、列電圧値出力手段における昇順に出力する状態と降順に出力する状態とを逆にさせる時間的位相反転手段はPINV17で実現されている。

【0037】図2は、表示データが格納されるビットマップメモリ31と駆動回路10C<sub>1</sub>, ..., 10C<sub>n</sub>の接続例を示すブロック図である。図2に示す例では、4ライン、C<sub>1</sub>~C<sub>n</sub>のn列分の表示データを記憶できる例を示す。そして、ビットマップメモリ31の各列に対応した駆動回路であるMLAD10C<sub>1</sub>, ..., 1

0C<sub>n</sub>が接続されている。各MLAD10C<sub>1</sub>, ..., 10C<sub>n</sub>は、それぞれ、図1に示すように構成されている。

【0038】図3は、MLA法にPWM法を適用した例を示す説明図である。図3において、(a)は1列分の表示データの例を示す説明図、(b)は(a)に示す表示データに対応した1選択期間(T)の各PWM期間 $T_0 \sim T_4$ におけるPWM成分の例を示す説明図、(c)は選択行列の例、(d)は列電極の電圧波形を示すタイミング図である。また、図4は、図1に示すMLAD10Cの動作を示すタイミング図である。

【0039】次に、図1に示すMLAD10Cの動作を、図3の説明図および図4のタイミング図を参照して説明する。図4において、4Aはサイクル値、4BはGDATP11から出力されるPWM成分、4CはRSELR15から出力される行選択パターン、4DはMLAC12C<sub>0</sub>~12C<sub>4</sub>の出力、4EはCNT13の出力(出力更新)、4FはCMP14の出力、4GはPINV17の出力を示す。図4に示すように、サイクル値が「0」になると、ビットマップメモリ31から、MLAD10CにおけるGDATP11に対してラインL<sub>0</sub>の表示データが出力され、サイクル値が「1」になるとラインL<sub>1</sub>の表示データが出力され、サイクル値が「2」になるとラインL<sub>2</sub>の表示データが出力され、サイクル値が「3」になるとラインL<sub>3</sub>の表示データが出力される。

【0040】また、GDATP11は、それぞれのラインL<sub>n</sub>(本例ではnは $0 \sim 3$ )の表示データを入力する毎に、入力した表示データに対応した各PWM期間 $T_0 \sim T_4$ のPWM成分を生成する。そして、PWM成分の各要素に対応するMLAC12C<sub>0</sub>~12C<sub>4</sub>に出力する。表示データが図3の(a)に示すようであるとすると、図3の(b)に示すPWM期間 $T_0$ のPWM成分がMLAC12C<sub>0</sub>に出力され、PWM期間 $T_1$ のPWM成分がMLAC12C<sub>1</sub>に出力され、PWM期間 $T_2$ のPWM成分がMLAC12C<sub>2</sub>に出力され、PWM期間 $T_3$ のPWM成分がMLAC12C<sub>3</sub>に出力され、PWM期間 $T_4$ のPWM成分がMLAC12C<sub>4</sub>に出力される。

【0041】そして、RSELR15は、GDATP11から各MLAC12C<sub>0</sub>~12C<sub>4</sub>にラインL<sub>n</sub>のPWM成分が出力されるときに、その時点の選択期間に対応する行選択パターンにおける成分を出力している。例えば、図3(c)に示すR<sub>2</sub>の行選択パターンを使用している場合には、RSELR15は、GDATP11から各MLAC12C<sub>0</sub>~12C<sub>4</sub>にラインL<sub>0</sub>のPWM成分が出力されるときに、R<sub>2</sub>の行選択パターンにおけるラインL<sub>0</sub>に対応した成分である「1」を出力する。また、GDATP11から各MLAC12C<sub>0</sub>~12C<sub>4</sub>にラインL<sub>1</sub>のPWM成分が出力されるときに、R<sub>2</sub>

の行選択パターンにおけるライン $L_1$ に対応した成分である「0」を出力する。同様に、GDATP11から各MLAC12C<sub>0</sub>～12C<sub>4</sub>にライン $L_2$ 、 $L_3$ のPWM成分が出力されるときに、R<sub>2</sub>の行選択パターンにおけるライン $L_2$ 、 $L_3$ に対応した成分を出力する。

【0042】各MLAC12C<sub>0</sub>～12C<sub>4</sub>は、GDATP11から出力されたPWM成分と行選択パターンの成分とについてMLA演算を行い、演算結果をCNT13に出力する。例えば、各MLAC12C<sub>0</sub>～12C<sub>4</sub>は、GDATP11からライン $L_0$ のPWM成分を入力する。その際には、RSELR15から行選択パターンにおけるライン $L_0$ の成分が出力されている。各MLAC12C<sub>0</sub>～12C<sub>4</sub>は、ライン $L_0$ のPWM成分と行選択パターンにおけるライン $L_0$ の成分との排他的論理和を算出し算出結果を記憶する。また、各MLAC12C<sub>0</sub>～12C<sub>4</sub>は、GDATP11からライン $L_1$ のPWM成分を入力する。その際には、RSELR15から行選択パターンにおけるライン $L_1$ の成分が出力されている。各MLAC12C<sub>0</sub>～12C<sub>4</sub>は、ライン $L_1$ のPWM成分と行選択パターンにおけるライン $L_1$ の成分との排他的論理和を算出し算出結果を記憶する。同様に、各MLAC12C<sub>0</sub>～12C<sub>4</sub>は、GDATP11からライン $L_2$ 、 $L_3$ のPWM成分を入力する。その際には、RSELR15から行選択パターンにおけるライン $L_2$ 、 $L_3$ の成分が出力されている。各MLAC12C<sub>0</sub>～12C<sub>4</sub>は、ライン $L_2$ 、 $L_3$ のPWM成分と行選択パターンにおけるライン $L_2$ 、 $L_3$ の成分との排他的論理和を算出し算出結果を記憶する。各MLAC12C<sub>0</sub>～12C<sub>4</sub>は、サイクル値が「4」になると、記憶された各値を加算する。そして、加算結果をMLA演算結果（列電圧のレベルを示す値）としてCNT13に出力する。

【0043】行選択パターンが図3の(c)に示す選択行列のうちのR<sub>2</sub>であったとすると、MLAC12C<sub>0</sub>は列電圧のレベルを示す値として「1」をMLA演算結果として出力し、MLAC12C<sub>1</sub>は「2」を出力し、MLAC12C<sub>2</sub>は「1」を出力し、MLAC12C<sub>3</sub>は「2」を出力し、MLAC12C<sub>4</sub>は「3」を出力する。

【0044】CNT13は、サイクル値が「4」になると、各MLAC12C<sub>0</sub>～12C<sub>4</sub>から出力される「0」～「4」のそれぞれの個数を計数し計数結果をCMP14に出力するのであるが、本例では、「4」について0、「3」について1個、「2」について2個、「1」について2個、「0」について0を示す信号をCMP14に出力するように出力値を更新する。

【0045】CMP14は、サイクル値が「0」になると、列電圧のレベルを示す値のうち最も小さい値を出力する。この場合には、「1」を出力する。また、サイクル値が「1」になると、その時点で、列電圧のレベルを

示す値のうち最も小さい値を出力する。なお、既に出力済みの値は、最も小さい値の判断対象から除外される。CMP14は、同様に、サイクル値が「2」、「3」、「4」になると、それぞれの時点で、列電圧のレベルを示す値のうち最も小さい値を出力する。

【0046】図4に示すように、このとき、PINV17の出力はハイレベルである。従って、上述したように、CMP14から、列電圧のレベルを示す値が昇順に出力される。この結果、図3の(d)に示すように、1選択期間における列電圧の変化点は2回しか生じていない。図17の(d)に示すように、本発明を適用しない場合には、1選択期間における列電圧の変化点は4回である。このように、本発明によれば、MLA演算後の列電圧を示す値を昇順に並べ替えることによって、列電圧の変化点が生ずる回数が低減されている。また、MLA演算後の列電圧を示す値を降順に並べ替えても、昇順に並べ替える場合と同様に、列電圧の変化点が生ずる回数が低減される。

【0047】さらに、MLA演算後の列電圧を示す値を昇順または降順に並べ替えると、列電圧の変化点が生ずる回数が低減されるだけでなく、各変化点における電圧変化の程度を小さくできる。各変化点における電圧変化の程度が小さくなるので、コンデンサとして作用する液晶を充電するための電流量が小さくなって、回路全体における消費電流が小さくなる。また、電圧変化の程度が小さくなることから、電圧変化点で電極にのるスパイクノイズをいっそう小さくすることができ、その結果、クロストークが小さくなって表示むらにさらに低減する。

【0048】なお、図3の(d)において、「0」は $-2V_c$ 、「1」は $-V_c$ 、「2」は0、「3」は $+V_c$ 、「4」は $+2V_c$ に対応している。また、サイクル値が「0」、「1」、「2」、「3」になるときに、ビットマップメモリ31から再度、ライン $L_0$ の表示データ～ライン $L_3$ の表示データが出力される。

【0049】サイクル信号は「4」を示した後、「0」を示す状態に戻るのであるが、そのとき、PINV17の出力が反転する。図4に示す例では、ハイレベルからローレベルに変化する。すると、CMP14は、列電圧のレベルを示す値を降順に出力する状態になる。すなわち、CMP14は、サイクル値が「0」になると、列電圧のレベルを示す値のうち最も大きい値を出力する。図3に示す例を用いた場合には、「3」を出力する。また、サイクル値が「1」になると、その時点で、列電圧のレベルを示す値のうち最も大きい値（本例では「2」）を出力する。なお、既に出力済みの値は、最も大きい値の判断対象から除外される。従って、サイクル値が「1」になると、CMP14から「2」が出力される。CMP14は、同様に、サイクル値が「2」、「3」、「4」になると、それぞれの時点で、列電圧の



レベルを示す値のうち最も大きい値を出力する。

【0050】このように、CMP14およびCYCT16で実現される列電圧値出力手段は、計数手段としてのCNT13の計数結果にもとづいて、列電圧に応じた値（本例では、0～4のいずれか）を昇順または降順に出力する。また、PINV17で実現される時間的位相反転手段は、隣接する選択期間では、列電圧値出力手段における昇順に出力する状態と降順に出力する状態とを逆にさせる。

【0051】ある選択期間においてビットマップメモリ31から出力された表示データがその前の選択期間において出力された表示データと同一であり、かつ、PINV17の出力にもとづく制御（隣接する選択期間では昇順に出力する状態と降順に出力する状態とを逆にする制御）を行わない場合には、列電極の電圧波形は図5の（a）に示すようになる。しかし、本実施の形態では、PINV17の出力に従って、1選択期間毎にPWM位相が反転している。すなわち、PWM位相の時間的な反転が行われている。図5（b）は、PINV17の出力に従ってPWM位相の時間的な反転が行われた場合の列電圧の波形を示す。図5の（a）、（b）からわかるように、PWM位相の時間的な反転を行った場合には、選択期間の境界での列電圧の変化が生じていないので、全体的な（例えば1フレーム期間全体）列電圧の変化の回数を低減させることができる。

【0052】上述したように、CMP14が列電圧のレベルを示す値を昇順または降順に出力すると1選択期間における列電圧の変化の回数を低減させることができるのであるが、選択期間毎に昇順と降順とを代えることによってPWM位相の時間的な反転を行えば、列電圧の変化の回数をさらに低減させることができる。この結果、消費電流の増大をより効果的に抑制することができ携帯電話機や携帯情報端末等の携帯端末に用いるのに適した駆動回路が実現されるとともに、クロストークを低減させることができる。

【0053】（実施の形態2）上記の実施の形態では、列電圧の電圧レベル数は5レベルであったが（同時選択ライン数が4の場合）、MLA法において列電圧の電圧レベル数を低減化する方法として同時選択されるラインの一部を実際に表示させないダミーラインとする方法がある。

【0054】以下、ダミーラインを設けたMLA法にPWM法を適用した例を図6を用いて説明する。図6において、（a）は1列分の表示データの例を示す説明図、（b）は（a）に示す表示データに対応した各PWM期間 $T_0 \sim T_3$ におけるPWM成分およびMLA演算結果の例を示す説明図、（c）はダミーラインを含む選択行列の例を示す説明図、（d）はMLA演算後の列電圧を示す値の並べ替えを行わない場合の列電極の電圧波形を示すタイミング図である。さらに、（e）は本発明を適

用した場合の列電極の電圧波形を示すタイミング図である。なお、ここでは、1選択期間を4つのPWM期間 $T_0 \sim T_3$ に等分に分割した場合を例にする。

【0055】 $T_0 \sim T_3$ のそれぞれの期間で、列電圧の電圧レベル数を2レベルにするための仮想行のデータを決定する。図6（c）に示す直交行列を用い、 $R_2$ が行選択パターンである場合には、 $T_0$ 、 $T_2$ では仮想データ（ダミーデータ）を「1」とする。また、 $T_1$ 、 $T_3$ では仮想データを「0」とする。

【0056】そして、MLA演算を行うと、演算結果には「1」および「3」の2種類しか現れない。このように、ダミーラインを設けた場合には列電圧の電圧レベル数を低減することができ、同時選択ライン数を3として1ラインのダミーラインを設けた場合には、列電圧の電圧レベル数を2レベルにすることができる。

【0057】図7は、実施の形態2の構成例を示すブロック図である。ここでは、同時選択ライン数を3とし、1つのダミーラインを設定し、MLAの1選択期間を $T_0 \sim T_3$ の4つのPWM期間に分割してPWM法を実現する場合を例にする。図7に示す構成では、駆動回路であるMLDA101Cにおいて、GDATP11は、表示データから各PWM期間 $T_0 \sim T_3$ のPWM成分を生成する。また、MLAC12C<sub>0</sub>、12C<sub>1</sub>、12C<sub>2</sub>、12C<sub>3</sub>は、各PWM期間 $T_0 \sim T_3$ に対応して設けられ、それぞれ、GDATP11から出力される各PWM期間 $T_0 \sim T_3$ のPWM成分に列電圧の電圧レベル数を低減させるための仮想データを付加したものと、RSELR15から出力される行選択パターンの成分とからMLA演算を行う。なお、GDATP11から出力されるPWM成分に既に仮想データが含まれているように構成してもよい。

【0058】MLAC12C<sub>0</sub>～12C<sub>3</sub>は、それぞれ、各PWM成分（仮想データを含む）とダミーラインを含む選択行列の成分との排他的論理和を加算し加算結果を出力する。この場合、仮想データを適当に設定することによって、MLAC12C<sub>0</sub>～12C<sub>3</sub>によるMLA演算の結果を「1」または「3」のいずれかにすることができる。そして、MLAC12C<sub>0</sub>～12C<sub>3</sub>は、MLA演算の結果が「1」である場合には「0」を出力し、MLA演算の結果が「3」である場合には「1」を出力する。

【0059】MLA演算の結果が「1」である場合には列電圧として $-V_c$ が用いられ、MLA演算の結果が「3」である場合には列電圧として $+V_c$ が用いられるので、MLAC12C<sub>0</sub>～12C<sub>3</sub>が出力する「0」は $-V_c$ に対応し、MLAC12C<sub>0</sub>～12C<sub>3</sub>が出力する「1」は $+V_c$ に対応する。

【0060】加算を行う回路であるADD131は、各MLAC12C<sub>0</sub>～12C<sub>3</sub>から出力される「1」の個数（0～4の5値のうちのいずれか）を加算し加算値

をCMP14に出力する。CMP14は、ADD131から出力された加算値に応じて、データをCYCT16から出力されるサイクル信号に従って出力する。

【0061】また、本実施の形態では、ADD131からCMP14に、2レベルの列電圧 ( $-V_c$ ,  $+V_c$ ) のうちの一方 ( $+V_c$ ) に対応した「1」について0~4の5値のうちのいずれかの値が加算値として出力されるが、個数の合計はPWM期間 $T_0 \sim T_3$ に應じた4個である。よって、ADD131が一方のレベルの列電圧についての加算値を出力するようにしても、CMP14は、残り1つのレベルについての個数はわかる。なお、それぞれのレベルの列電圧についての個数を出力するようにしてもよい。

【0062】なお、本実施の形態では、各演算手段は、各PWM期間に対応して設けられている各MLAC12C<sub>0</sub>~12C<sub>3</sub>で実現され、各演算手段から出力される演算値(本例では0~1のいずれか)の発生数を計数する計数手段は、ADD131で実現され、列電圧値出力手段は、CMP14およびCYCT16で実現されている。また、隣接する選択期間では、列電圧値出力手段における昇順に出力する状態と降順に出力する状態とを逆にさせる時間的位相反転手段はPINV17で実現されている。

【0063】図8は、表示データが格納されるビットマップメモリ31と駆動回路101C<sub>1</sub>, ..., 101C<sub>n</sub>の接続例を示すブロック図である。図8に示す例では、3ライン、C<sub>1</sub>~C<sub>n</sub>のn列分の表示データを記憶できる例を示す。そして、ビットマップメモリ31の各列に対応して、すなわち各列電極に対応した駆動回路であるMLAD101C<sub>1</sub>, ..., 101C<sub>n</sub>が接続されている。各MLAD101C<sub>1</sub>, ..., 101C<sub>n</sub>は、それぞれ、図7に示すように構成されている。図9は、図7に示すMLAD101Cの動作を示すタイミング図である。なお、図9において、9Aはサイクル値、9BはGDATP11から出力されるPWM成分、9CはRSELR15から出力される行選択パターン、9DはMLAC12C<sub>0</sub>~12C<sub>3</sub>の出力、9EはADD131の出力(出力更新)、9FはCMP14の出力、9GはPINV17の出力を示す。

【0064】次に、図7に示すMLAD101Cの動作を、図6の説明図および図9のタイミング図を参照して説明する。図9に示すように、サイクル値が「0」になると、ビットマップメモリ31から、MLAD101CにおけるGDATP11に対してラインL<sub>0</sub>の表示データが出力され、サイクル値が「1」になるとラインL<sub>1</sub>の表示データが出力され、サイクル値が「2」になるとラインL<sub>2</sub>の表示データが出力される。

【0065】また、GDATP11は、ラインL<sub>n</sub>(本例ではnは0~2)の表示データを入力する毎に、入力した表示データに対応した各PWM期間 $T_0 \sim T_3$ のP

WM成分を生成する。そして、PWM成分の各要素に対応するMLAC12C<sub>0</sub>~12C<sub>3</sub>に出力する。表示データが図6の(a)に示すようであるとすると、図6の(b)に示すPWM期間 $T_0$ のPWM成分がMLAC12C<sub>0</sub>に出力され、PWM期間 $T_1$ のPWM成分がMLAC12C<sub>1</sub>に出力され、PWM期間 $T_2$ のPWM成分がMLAC12C<sub>2</sub>に出力され、PWM期間 $T_3$ のPWM成分がMLAC12C<sub>3</sub>に出力される。

【0066】そして、RSELR15は、GDATP11から各MLAC12C<sub>0</sub>~12C<sub>3</sub>にラインL<sub>n</sub>のPWM成分が出力されるときに、その時点の選択期間に対応する行選択パターンにおける成分を出力している。例えば、図6(c)に示すR<sub>2</sub>の行選択パターンを使用している場合には、RSELR15は、GDATP11から各MLAC12C<sub>0</sub>~12C<sub>3</sub>にラインL<sub>0</sub>のPWM成分が出力されるときに、R<sub>2</sub>の行選択パターンにおけるラインL<sub>0</sub>に対応した成分である「1」を出力し、GDATP11から各MLAC12C<sub>0</sub>~12C<sub>3</sub>にラインL<sub>1</sub>のPWM成分が出力されるときに、R<sub>2</sub>の行選択パターンにおけるラインL<sub>1</sub>に対応した成分である

「0」を出力する。同様に、GDATP11から各MLAC12C<sub>0</sub>~12C<sub>3</sub>にラインL<sub>2</sub>のPWM成分が出力されるときに、R<sub>2</sub>の行選択パターンにおけるラインL<sub>2</sub>に対応した成分を出力する。

【0067】各MLAC12C<sub>0</sub>~12C<sub>3</sub>は、GDATP11から出力されたPWM成分と行選択パターンの成分とについてMLA演算を行い、演算結果をADD131に出力する。例えば、各MLAC12C<sub>0</sub>~12C<sub>3</sub>は、GDATP11からラインL<sub>0</sub>のPWM成分を入力する。その際には、RSELR15から行選択パターンにおけるラインL<sub>0</sub>の成分が出力されている。各MLAC12C<sub>0</sub>~12C<sub>3</sub>は、ラインL<sub>0</sub>のPWM成分と行選択パターンにおけるラインL<sub>0</sub>の成分との排他的論理和を算出し算出結果を記憶する。

【0068】また、各MLAC12C<sub>0</sub>~12C<sub>3</sub>は、GDATP11からラインL<sub>1</sub>のPWM成分を入力する。その際には、RSELR15から行選択パターンにおけるラインL<sub>1</sub>の成分が出力されている。各MLAC12C<sub>0</sub>~12C<sub>3</sub>は、ラインL<sub>1</sub>のPWM成分と行選択パターンにおけるラインL<sub>1</sub>の成分との排他的論理和を算出し算出結果を記憶する。同様に、各MLAC12C<sub>0</sub>~12C<sub>3</sub>は、GDATP11からラインL<sub>2</sub>のPWM成分を入力する。その際には、RSELR15から行選択パターンにおけるラインL<sub>2</sub>の成分が出力されている。各MLAC12C<sub>0</sub>~12C<sub>3</sub>は、ラインL<sub>2</sub>のPWM成分と行選択パターンにおけるラインL<sub>2</sub>の成分との排他的論理和を算出し算出結果を記憶する。

【0069】さらに、ダミーラインの成分と仮想データとの排他的論理和を算出して、その算出結果と記憶されている各算出結果とを加算する処理を行って最終的なM

MLA演算結果を得るように構成している。しかし、MLA演算結果を「1」または「3」の2種類とするには、記憶されている各算出結果の和が「0」または「1」であればMLA演算結果を「1」とし、記憶されている各算出結果の和が「2」または「3」であればMLA演算結果を「3」とすればよい。

【0070】換言すれば、そうなるように仮想データが決められる。従って、各MLAC12C<sub>0</sub>～12C<sub>3</sub>は、ダミーラインの成分と仮想データとの排他的論理和を算出することなく、サイクル値が「3」になると、記憶されている各算出結果を加算する。その、加算結果が「0」または「1」（2進2桁表示した場合の上位ビットが「0」）であれば、MLA演算結果（列電圧のレベルを示す値）としての「1」を示す「0」をADD131に出力する。加算結果が「2」または「3」（2進2桁表示した場合の上位ビットが「1」）であれば、MLA演算結果としての「3」を示す「1」をADD131に出力する。

【0071】行選択パターンが図6の(c)に示す選択行列のうちのR<sub>2</sub>であったとすると、MLAC12C<sub>0</sub>のMLA演算結果は「1」であり、MLAC12C<sub>1</sub>のMLA演算結果は「3」であり、MLAC12C<sub>2</sub>のMLA演算結果は「1」であり、MLAC12C<sub>3</sub>のMLA演算結果は「3」である。よって、MLAC12C<sub>0</sub>は「0」を出力し、MLAC12C<sub>1</sub>は「1」を出力し、MLAC12C<sub>2</sub>は「0」を出力し、MLAC12C<sub>3</sub>は「1」を出力する。

【0072】このように、直交行列は実際に表示しないダミーラインに対応した行を含む。そして、演算手段は、1選択期間に列電極に印加する電圧レベルの数（種類）を減らすように設定された仮想データを階調に応じたデータに含めて演算を行っている。

【0073】サイクル値が「3」になると、ADD131は、各MLAC12C<sub>0</sub>～12C<sub>3</sub>から出力される「1」の個数を加算して、加算値を示す信号をCMP14に出力するように出力値を更新する。本例では、加算値として「2」を演算する。

【0074】また、本実施の形態では、CMP14は、PINV17の出力がハイレベルである場合、すなわち列電圧のレベルを示す値を昇順に出力する場合には、

〔(PWM分割数(PWM期間T<sub>0</sub>～T<sub>3</sub>)の数、本例では4)－加算値〕>サイクル信号が示す値(サイクル値)、という条件が満たされていれば、「0」(－V<sub>c</sub>に対応)を出力する。それ以外の場合には、「1」(+V<sub>c</sub>に対応)を出力する。

【0075】本例では、加算値は「2」であるから、CMP14は、PWM期間T<sub>0</sub>、T<sub>1</sub>では「0」を出力し、PWM期間T<sub>2</sub>、T<sub>3</sub>では「1」を出力する。従って、列電圧波形は図6(e)に示すようになる。つまり、1選択期間における列電圧の変化点は1回である。

このように、同時選択ライン数が3であって仮想ラインを1ライン設定した場合には、本発明によれば、列電圧の変化点が生ずる回数は高々1回に低減される。

【0076】サイクル信号は「3」を示した後、「0」を示す状態に戻るのであるが、そのとき、PINV17の出力が反転する。本例では、ハイレベルからローレベルに変化する。すると、CMP14は、列電圧のレベルを示す値を降順に出力する状態になる。具体的には、CMP14は、加算値>サイクル値、という条件が満たされていれば「1」(+V<sub>c</sub>に対応)を出力する。それ以外の場合には、「0」(－V<sub>c</sub>に対応)を出力する。従って、図6の(a)～(c)に示す例を用いると、加算値は「2」であるから、CMP14は、PWM期間T<sub>0</sub>、T<sub>1</sub>では「1」を出力し、PWM期間T<sub>2</sub>、T<sub>3</sub>では「0」を出力する。

【0077】このように、CMP14およびCYCT16で実現される列電圧値出力手段は、計数手段としてのADD131の計数結果にもとづいて、列電圧に応じた値（本例では、0～1のいずれか）を昇順または降順に出力する。また、PINV17で実現される時間的位相反転手段は、隣接する選択期間では、列電圧値出力手段における昇順に出力する状態と降順に出力する状態とを逆にさせる。

【0078】ある選択期間においてビットマップメモリ31から出力された表示データが、その前の選択期間において出力された表示データと同一であり、かつ、PINV17の出力にもとづく制御（隣接する選択期間では昇順に出力する状態と降順に出力する状態とを逆にする制御）を行わない場合には、列電圧の波形は図10の(a)に示すようになる。しかし、本実施の形態では、1選択期間毎にPWM位相が反転している。すなわち、PWM位相の時間的な反転が行われている。図10

(b)は、PINV17の出力に従ってPWM位相の時間的な反転が行われた場合の列電圧の波形を示す。図10の(a)、(b)からわかるように、PWM位相の時間的な反転を行った場合には、選択期間の境界での列電圧の変化が生じていないので、全体的な（例えば1フレーム期間全体）列電圧の変化の回数を低減できる。

【0079】上述したように、同時選択ライン数が3であって1ラインのダミーラインを設けた場合には、CMP14が列電圧のレベルを示す値を昇順または降順に出力すると1選択期間における列電圧の変化の回数を0または1回に低減できる。さらに、PWM位相の時間的な反転を行うことによって、全体的な（例えば1フレーム期間全体）列電圧の変化の回数を低減できる。この結果、消費電流の増大をより効果的に抑制することができ携帯電話機や携帯情報端末等の携帯端末に用いるのに適した駆動回路が実現される。また、クロストークを低減させることができる。

【0080】このような効果は、同時選択ライン数が3

であって1ラインのダミーラインを設けた場合、あるいは、同時選択ライン数が6であって2ラインのダミーラインを設けた場合のように、列電圧の電圧レベル数を少なくできるときに特に顕著である。

【0081】実施の形態1、2では、CMP14は、PINV17の出力に従ってPWM位相を時間的に反転する制御を行ったが、PWM位相を空間的に反転するようにしてもよい。PWM位相を空間的に反転するとは、隣接する列電極に印加される列電圧の位相を反転させることである。例えば、図8に示す構成において、奇数列の列電極に対応するMLAD101Cが昇順に列電圧のレベルを示す値を出力しているときには、偶数列の列電極に対応するMLAD101Cが降順に列電圧のレベルを示す値を出力するように制御する。

【0082】このような制御は、例えば、奇数列の列電極に対応するMLAD101CにおけるPINV17の出力の極性と、偶数列の列電極に対応するMLAD101CにおけるPINV17の出力の極性とが反対になるように設定しておけばよい。また、図11に、PWM位相を空間的に反転させた場合の列電極の電圧波形等を示すタイミング図を示す。図11において、 $n$ 、 $n+1$ 、 $n+2$ 、 $n+3$ は、それぞれの列の列電圧の波形例を示し、11A~11Cは行電極にのるスパイクノイズの例を示す。

【0083】全ての列電極に対して列電圧が同方向（立ち上がる方向または立ち下がる方向）に変化すると、行電極には大きなスパイクノイズがのる。その結果、列電極の電圧の変化タイミングにおいて、画素に印加される電圧がなまるので、画素に印加される電圧実効値の損失が大きくなってクロストークが大きくなる。

【0084】しかし、PWM位相を空間的に反転させた場合には、空間的に、列電圧の電圧変化方向が揃わないようにすることができ、その結果、図11の11Cに示すように、行電極に生ずるスパイクノイズをかなり低減できる。すなわち、画素に印加される電圧実効値の損失が大きくなることはなく、クロストークを低減できる。

【0085】なお、各列電圧の変化点が時間的にずれているような場合でも、図12の12Cに示すように、1選択期間（T）内でスパイクノイズの向きは異なるので、その選択期間における電圧実効値の損失が緩和され、クロストークを低減できる。図12において、 $n$ 、 $n+1$ 、 $n+2$ 、 $n+3$ は、それぞれの列の列電圧の波形例を示し、12A~12Cは行電極にのるスパイクノイズの例を示す。また、図11に示す例では1列毎にPWM位相を反転させたが、反転の空間的周期は「1」（1列）に限られず、2以上の空間的周期でPWM位相を反転させるようにしてもよい。

【0086】また、図11に示す例は、同時選択ライン数が3であってダミーラインを1に設定した場合の例である。すなわち、図7に示す構成に対してPWM位相を

空間的に反転する制御を適用した場合の例である。しかし、同時選択ライン数が3であって仮想ラインを1ライン設定した場合に限らず、列電圧のレベルを示す値を昇順または降順に出力するとともにPWM位相の時間的な反転を行う駆動回路に対して、PWM位相を空間的に反転する制御を適用することができる。

【0087】以上に説明したように、液晶表示装置の駆動回路では、CNT13またはADD131で実現されている計数手段の計数結果にもとづいて、CMP14およびCYCT16で実現されている列電圧値出力手段が、列電圧に応じた値を昇順または降順に出力する。さらに、PINV17によって、所定の空間的周期で、列電圧値出力手段における昇順に出力する状態と降順に出力する状態とを逆にさせる空間的位相反転手段を実現するように構成してもよい。

【0088】なお、図11には、PWM位相を時間的に反転する制御を行い、かつ、PWM位相を空間的に反転する制御を行った場合の例を示したが、PWM位相を空間的に反転する制御のみを適用してもよい。その場合、図7に示す構成を例にとると、PWM位相反転回路17をなくし、例えば奇数列の列電極に対応するMLAD101CにおけるCMP14が昇順に列電圧のレベルを示す値を出力し、偶数列の列電極に対応するMLAD101CにおけるCMP14が降順に列電圧のレベルを示す値を出力するように構成すればよい。

【0089】また、上記の実施の形態1、2では、各列電極に対応してMLAD10C<sub>1</sub>、…、10C<sub>n</sub>またはMLAD101C<sub>1</sub>、…、101C<sub>n</sub>が設けられていたが、1つの演算回路を設け、その演算回路において、液晶表示装置の全ての列電極のそれぞれに対応した列電圧を示す値を演算して出力するようにしてもよい。あるいは、列電極数よりも少ない数の複数の演算回路を設けてもよい。例えば、列電極数の1/n（ $n$ は2以上の整数）の演算回路を設け、各演算回路が $n$ 本の列電極に対応した演算を行うようにしてもよい。

【0090】同時選択数および選択期間の分割数によらずに、本発明の昇順または降順のパルスの位置合わせが常に成立するのは、選択期間を完全またはほぼ完全に等分に分割する場合のみである。しかし、階調性の表示を最低限行うという観点では、「短い方から2つの分割期間の和>最長の分割期間」であれば、パルスの位置合わせが成立する。なお、パルスの位置合わせとは、列電圧を形成するパルスが昇順または降順に出力されるように、MLA演算結果を並べ替えることである。

【0091】「短い方から2つの分割期間の和≤最長の分割期間」であると、階調性の表示が成立しなくなる。例えば、3分割（0.3:0.4:1、合計1.7）の場合をあげる。データ処理上は、選択期間を等分に分割した均等分割として扱くと、1/3階調であるべきところが、0.3/1.7、0.4/1.7、または1/

1. 7階調として表示され、2/3階調であるべきところが、0. 7/1. 7、1. 3/1. 7、または1. 4/1. 7階調として表示される。すると、階調の逆転が生じ、階調表示として成立しなくなる。

【0092】ただし、同時選択数が3で仮想行が1行の場合などのMLA演算結果が2種類(+V<sub>0</sub>と-V<sub>0</sub>)である場合で、3分割(例えば、3:1:1、合計5)で2つの分割期間の長さが等しいような場合には、MLA演算結果の並べ替えによって変化点を1つにすることができ、階調表示が成立する。

【0093】

【発明の効果】以上に述べたように、本発明によれば、列電圧の変化点の増加を抑制できるとともに、各変化点における電圧変化の程度を小さくすることができる。よって、消費電流の増大とクロストークの増大を抑制できる効果がある。

【0094】また、隣接する選択期間では、昇順に出力する状態と降順に出力する状態とを逆にするように構成することによって、全体的な(例えば1フレーム期間全体)列電圧の変化の回数を低減させることができる。

【0095】また、所定の空間的周期で、昇順に出力する状態と降順に出力する状態とを逆にするように構成することによって、スパイクノイズに起因する電圧実効値の損失が低減され、クロストークの増大をさらに抑制できる。

【図面の簡単な説明】

【図1】 液晶表示装置の駆動回路の構成例を示すブロック図。

【図2】 ビットマップメモリと駆動回路の接続例を示すブロック図。

【図3】 実施の形態1のMLA法にPWM法を適用した例を示す説明図。

【図4】 実施の形態1の駆動回路の動作を示すタイミング図。

【図5】 列電極の電圧波形例を示すタイミング図。

【図6】 実施の形態2のMLA法にPWM法を適用した例を示す説明図。

【図7】 液晶表示装置の駆動回路の他の構成例を示すブロック図。

【図8】 ビットマップメモリと駆動回路の接続例を示すブロック図。

【図9】 実施の形態2の駆動回路の動作を示すタイミング図。

【図10】 列電極の電圧波形例を示すタイミング図。

【図11】 PWM位相を空間的に反転させた場合の列電極の電圧波形等を示すタイミング図。

【図12】 PWM位相を空間的に反転させた場合の列電極の電圧波形等を示すタイミング図。

【図13】 MLA法にPWM法を適用した従来例を示す説明図。

【図14】 一般的なPWM法の例を示す説明図。

【図15】 仮想行を設けた場合のMLA法にPWM法を適用した従来例を示す説明図。

【符号の説明】

10C、101C MLA D

10C<sub>1</sub>~10C<sub>n</sub>、101C<sub>1</sub>~101C<sub>1</sub> MLA D

11 GDATP

12C<sub>0</sub>、12C<sub>1</sub>、12C<sub>2</sub>、12C<sub>3</sub>、12C<sub>4</sub>

MLAC

13 CNT

131 ADD

14 CMP

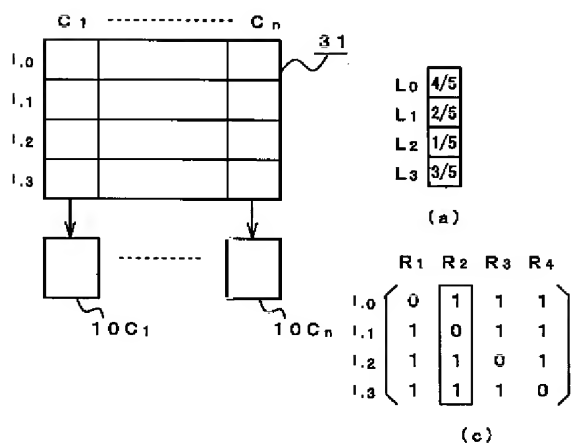
15 RSELR

16 CYCT

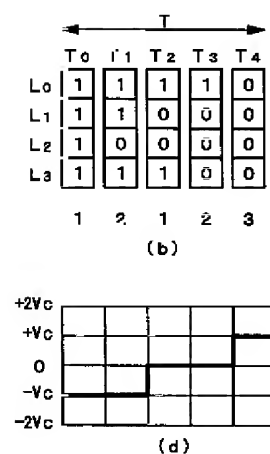
17 PINV

31 ビットマップメモリ

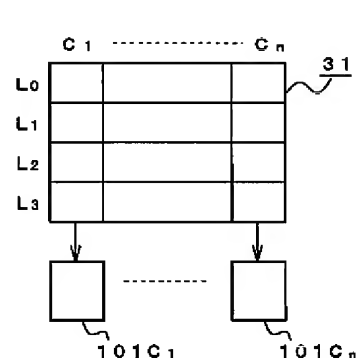
【図2】



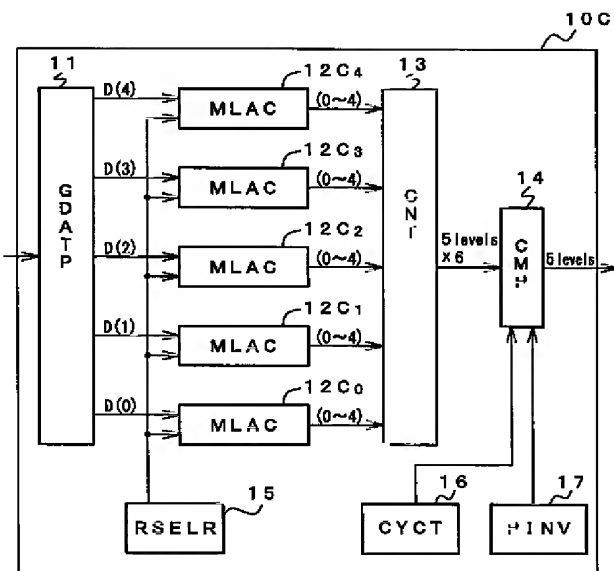
【図3】



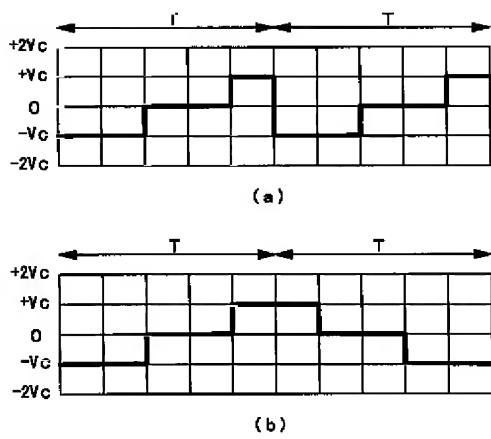
【図8】



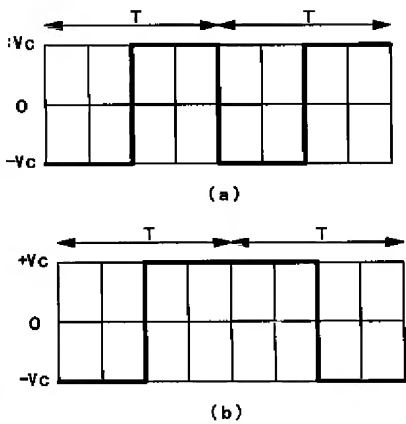
【図1】



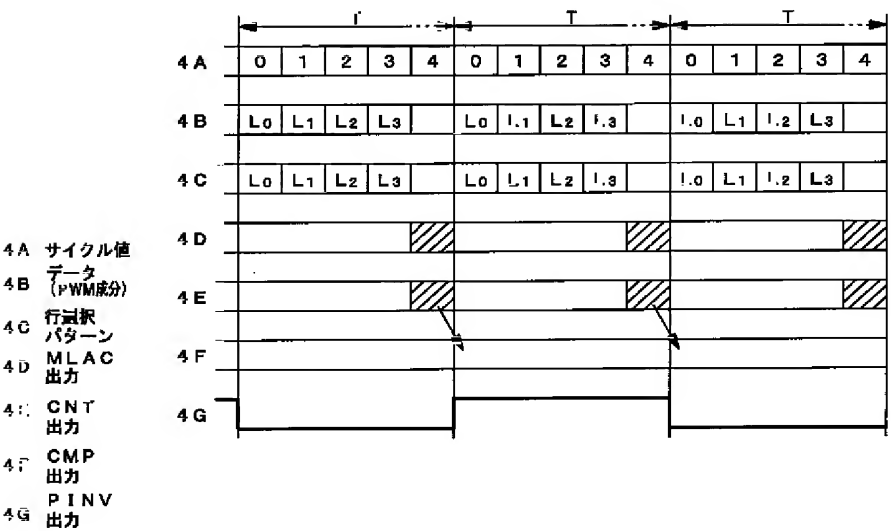
【図5】



【図10】



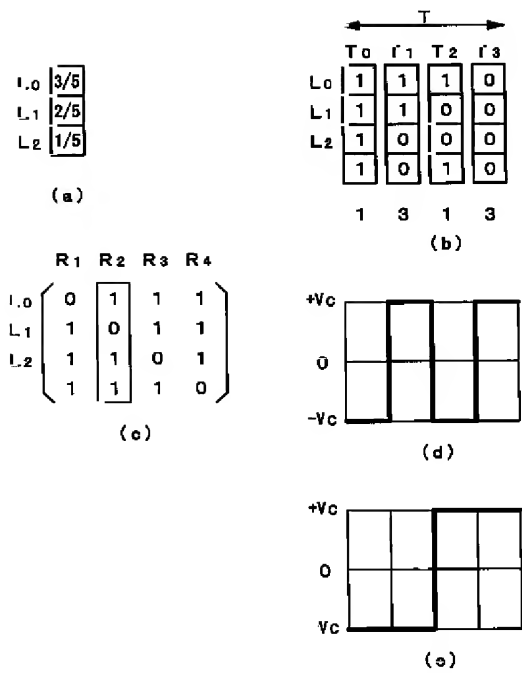
【図4】



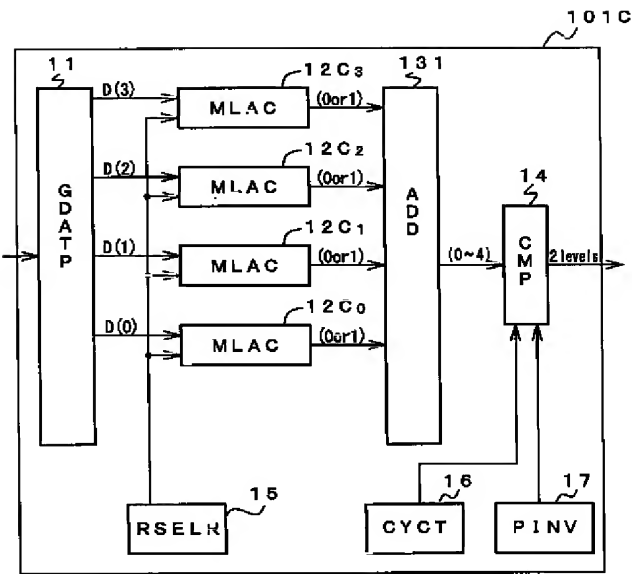
【図14】

	T				
	T0	T1	T2	T3	T4
5/5	1	1	1	1	1
4/5	1	1	1	1	0
3/5	1	1	1	0	0
2/5	1	1	0	0	0
1/5	1	0	0	0	0
0/5	0	0	0	0	0

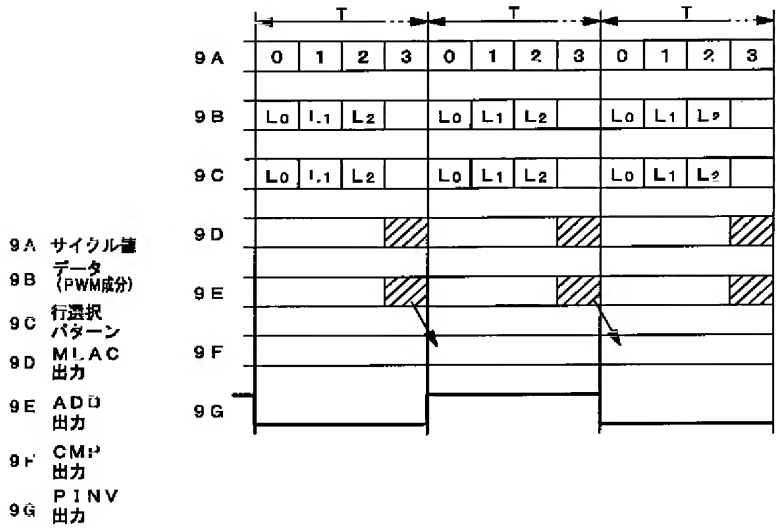
【図6】



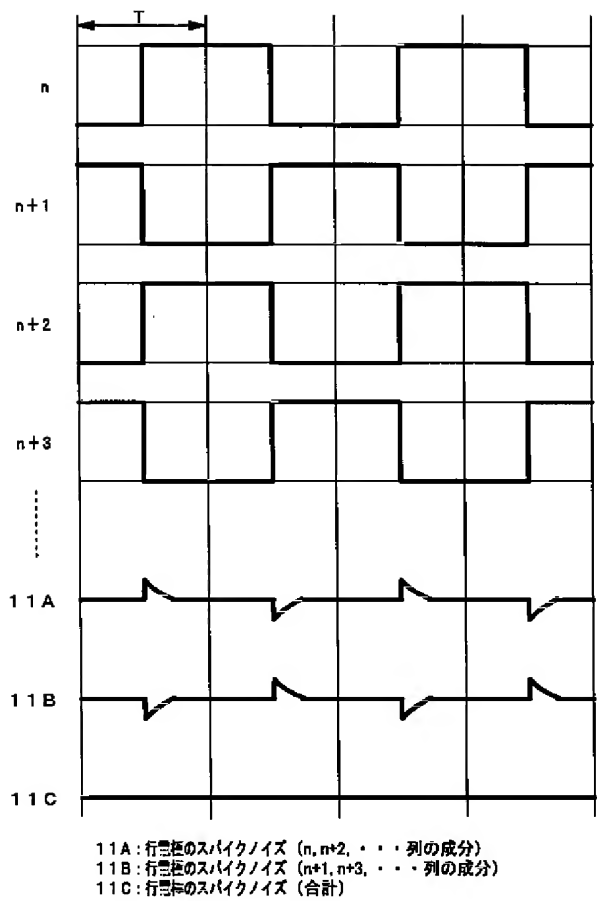
【図7】



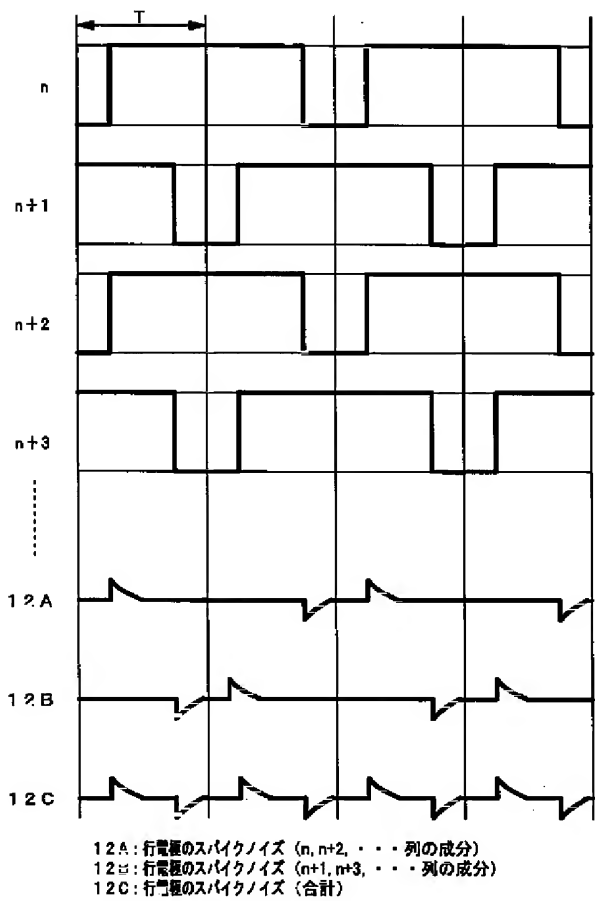
【図9】



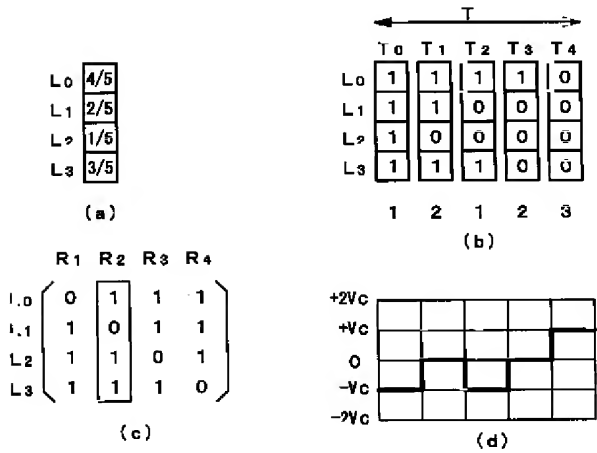
【図11】



【図12】

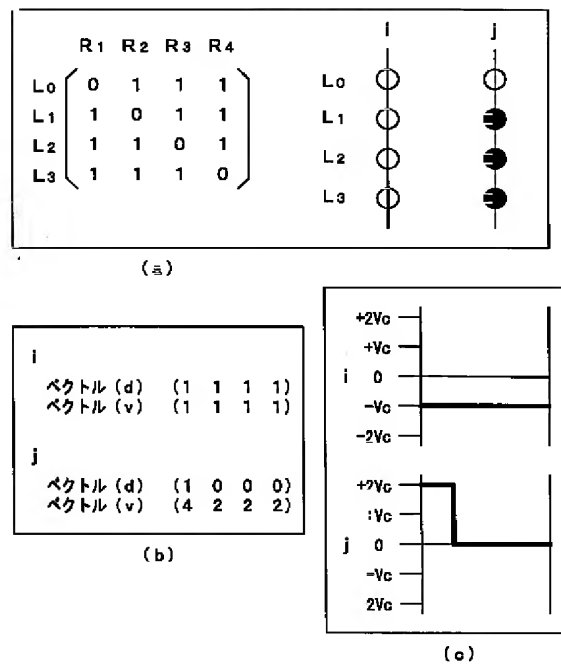


【図15】





【図13】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
G 0 9 G 3/36

識別記号

F I  
G 0 9 G 3/36

(参考)

(72)発明者 永井 真  
神奈川県横浜市神奈川区羽沢町1150番地  
旭硝子株式会社内  
(72)発明者 中沢 聡  
神奈川県横浜市神奈川区羽沢町1150番地  
旭硝子株式会社内

F ターム(参考) 2H093 NA32 NA47 NA56 NA79 NC02  
NC14 ND15 ND39 NH18  
5C006 AA15 AC13 BB12 FA36 FA47  
5C080 AA10 BB05 DD10 DD26 FF10  
JJ02 JJ04